

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 10 月 30 日 (30.10.2003)

PCT

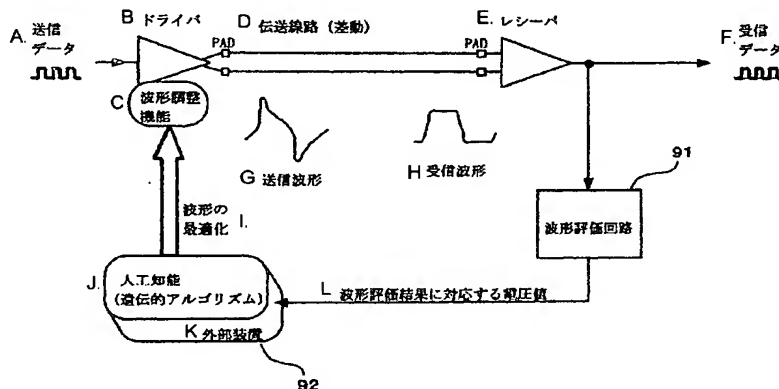
(10) 国際公開番号
WO 03/090374 A1

- (51) 国際特許分類⁷: H04B 3/04 TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区霞が関一丁目3番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP03/05031
- (22) 国際出願日: 2003 年 4 月 21 日 (21.04.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-118633 2002 年 4 月 22 日 (22.04.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 大塚 寛治 (OTSUKA, Kanji) [JP/JP]; 〒207-0002 東京都東大和市湖畔 2-1 074-38 Tokyo (JP). 宇佐美 保 (USAMI, Tamotsu) [JP/JP]; 〒185-0035 東京都国分寺市西町 2-3 8-4 Tokyo (JP). 樋口 哲也 (HIGUCHI, Tetsuya) [JP/JP]; 〒305-8568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 高橋 栄一 (TAKAHASHI, Eiichi) [JP/JP]; 〒305-8568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 河西 勇二 (KASAI, Yuji) [JP/JP]; 〒305-8568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政

[続葉有]

(54) Title: HIGH-SPEED SIGNAL TRANSMISSION SYSTEM

(54) 発明の名称: 高速信号伝送システム



A...TRANSMISSION DATA

B...DRIVER

C...WAVEFORM ADJUSTMENT FUNCTION

D...TRANSMISSION LINE (DIFFERENTIAL)

E...RECEIVER

F...RECEPTION DATA

G...TRANSMISSION WAVEFORM

H...RECEPTION WAVEFORM

I...WAVEFORM OPTIMIZATION

J...ARTIFICIAL INTELLIGENCE (GENETIC ALGORITHM)

K...EXTERNAL DEVICE

L...VOLTAGE VALUE CORRESPONDING TO WAVEFORM

EVALUATION RESULT

91...WAVEFORM EVALUATION CIRCUIT

BEST AVAILABLE COPY

(57) Abstract: A high-speed signal transmission system transmits a digital high-speed signal to a chip external path for transmitting and receiving a signal to/from a high-speed LSI chip of a GHz band or above. The high-speed signal transmission system is characterized in that a circuit is inserted for feeding back reception information and adjusting a waveform according to a genetic algorithm at the transmission side, a device structure for automatically pumping-up and pumping-down the transistor carrier is provided, a wire extending from the transistor is a transmission line, and a circuit common power source is removed.

(57) 要約: 本発明の高速信号伝送システムは、GHz帯以上の高速なLSIチップと信号のやり取りをするチップ外線路にデジタル高速信号を通すことを目的とする。本発明の高速信号伝送システムは、受信情報をフィードバックし、送信側で遺伝的アルゴリズムに基づき波形調整する回路の挿入、トランジスタキャリアのポンプアッ

[続葉有]



法人産業技術総合研究所内 Ibaraki (JP). 村川 正宏 (MURAKAWA,Masahiro) [JP/JP]; 〒305-8568 茨城県つくば市 梅園 1 丁目 1 番 1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP).

(74) 代理人: 久保田 直樹, 外(KUBOTA,Naoki et al.); 〒243-0432 神奈川県 海老名市 中央 1 丁目 1 8 番 2 7 号 士業ビル 3 階 澁谷・久保田特許事務所 Kanagawa (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

高速信号伝送システム

5 技術分野

この発明は、ディジタル信号のクロック周波数がGHz帯以上の高速なLSIチップのLSIの信号処理をスムーズにする要求に対応し、該高速なLSIチップと接続され、上記LSIチップと信号のやり取りをするチップ外線路において、LSIのクロックと整合した入出力回路（以下、I/Oという。）のバンド幅を確保すること、すなわちバンド幅を整合させてチップクロックとI/Oバスの伝送クロックを同じにする技術に関する。

背景技術

15 近年LSIチップを動作させるためのクロック周波数はGHz帯に達するが、この信号のやり取りをするチップ外線路の周波数は最高でも533MHz（Rambusプロトコル）に過ぎず、信号をLSIに取り込むバンド幅がLSIの要求に対して不足している状態である。LSIの信号処理をスムーズにするため、

20 ロジックチップでもメモリチップでもキャッシュメモリを埋め込んでバンド幅不足に対応しているが、大きなキャッシュメモリ面積を必要とするだけでなくアドレス計算が余分となりアーキテクチャも複雑になる。

もしLSIクロックと整合したI/Oバンド幅の確保ができれば、キャッシュメモリが不要でアーキテクチャの単純なシステムとなる。チップI/Oは本質的にチップの中の処理ビット数と

同じであることがデジタルシステムの基本であり、バンド幅を
整合させるにはチップクロックとI/Oバスの伝送クロックが
同じでなければならない。今後GHz帯へ突入する時代にあつて
バスクロックの改善は急務である。バスの基本構成である伝送線
路がその特性を有していてもGHz帯クロックは通らない。すな
わち、ドライバ・レシーバとそれを包むパッケージ構造の全て
が高速信号を通すための用意が成されて初めてGHz伝送がで
きることになる。

一方、チップ内の未来を予測すると、Intelは2001
Symposium on VLSI Technology (2001.6 Kyoto) でゲート長2
0nmのMOS構造を発表し、20GHzデジタル信号を処理
できるとしている(2007年に実現できると予測)。しかし、2
0~50GHzのデジタル信号を10mm角のチップ内配線
で通すためにはRC充放電回路による考え方を脱却した新たな
発想による構成が必要である。すなわち、システム全体に渡って
ユニファイな環境にするには根本的に考えを新たにしたシステ
ム構築が必要である。

発明の開示

本発明の課題は、できるだけ従来のシステム構成と部品構成を
肯定しながら、クロック周波数がGHz帯以上の高速なLSIチ
ップと接続され、上記LSIチップと信号のやり取りをするチッ
プ外線路に数十GHzの帯域のデジタル高速信号を通す(伝送
する)伝送システムを実現することである。

上記問題を解決するために、本発明は、トランジスタキャリア
のポンプアップ、ポンプダウンを自動的に行うデバイス構造、受

信情報をフィードバックし、送信側で波形調整する遺伝的アルゴリズム等の確率的探索方法により調整される回路（以下、遺伝的アルゴリズム回路等という。）の挿入、トランジスタから出て行く配線の伝送線路化、回路のコモン電源を排除した構成を作ること

5 を提案する。すなわち、GHz帯パルスシグナル伝送においては、回路や線路にパルスのエネルギーが動く過程（電荷Qが変化する過程）をできるだけ制限しないようにすること、かつ、反射を引き起こす不連続点をなくすことが求められる。

すなわち、この発明の高速信号伝送システムは、クロック周波

10 数がGHz帯の高速なLSIチップと接続され、送端、終端等の電子回路全体に渡るトランジスタの論理、メモリ回路などを差動入力、差動出力で構成し、かつ分岐配線がない、上記LSIチップと信号のやり取りをするチップ外線路を有する高速信号伝送システムにおいて、上記チップ外線路の送端または終端側の一方

15 で基準電位を確認するため電源またはグランドへの接続を有するが、該基準電位を確認した送端または終端側の反対側の終端または送端では電源またはグランドへの接続を有さないことを特徴とする。さらに、前記システムの電力供給線は電源・グランドペア線路となっている構造で、それぞれの最小論理要素、メモリ

20 要素回路の1要素回路あたり、1専用ペア線路で接続されていることを特徴とする。

また、この発明の高速信号伝送システムは、クロック周波数がGHz帯の高速なLSIチップと接続され、送端、終端等の電子回路全体に渡るトランジスタの論理、メモリ回路などを差動入力、

25 差動出力で構成し、かつ分岐配線がない、上記LSIチップと信号のやり取りをするチップ外線路を有する高速信号伝送システ

ムにおいて、前記終端にMOS差動センスアンプが接続されると共に、経路の信号伝送に対する不具合を波形分析回路により分析検出して送信波形を整形することによって受信波形がセンスアンプに正しく伝わるようにする調整回路が出力回路に付加されていて、該調整回路が確率的探索方法により調整されることを特徴とする。さらに、前記センスアンプが、10 fF以下のゲート容量をもつMOS・FETで構成されることを特徴とし、前記確率的探索方法が、遺伝的アルゴリズム、山登り法、焼き鈍し法、枚挙法、進化戦略、タブーサーチ法のいずれか、あるいはこれらの組み合わせであることを特徴とする。

さらに、前記確率的探索方法により調整される回路を経由して差動出力された伝送線路はすべての送端から終端まで特性インピーダンスで整合させ、前記センスアンプは送信波形と全反射波形の合成を受信し、全反射波形が再び送信端から再反射して発信されないよう送信端側に終端抵抗が挿入されていることを特徴とする。

また、前記接続線路（信号伝送線路、電源・グランドペア線路）はTEMモードが維持される構造とされていることを特徴とし、前記線路は、空気中に電磁波がもれる構造にあっては、その部分の実効誘電率が内部誘電体誘電率に整合するよう高誘電率材料がコーティングされる構造であることを特徴とする。さらに、前記伝送線路は、ペアコプレーナ、スタックトペア、ガードスタックトペア、ガードコプレーナ構造のいずれかであることを特徴とする。

また、前記回路が複数ビットで構成されるときは全線路に渡って、物理構造が相対的に同じで、等長配線長さとする構成とし、

並行な等長配線を基本とし、ファンアウト配線を等長とするため円弧状の配線を用いることを特徴とする。

さらに、ドライバ回路およびレシーバ回路の能動素子はSiまたはSiGeのMOS・FET（電界効果トランジスタ）、またはGaAsのnチャネルMES・FETであり、グラウンド接続のない差動出力と差動入力回路、ショットキー高速バイポーラ差動回路、またはバススイッチ回路で構成されたことを特徴とし、すべてのトランジスタに相補的におなじMOS・FET、MES・FET、バイポーラトランジスタ構造のバラクタを配置した構成であることを特徴とする。またさらに、上記の場合の共通ウエルを電氣的に浮かせる構成にすることを特徴とする。

図面の簡単な説明

図1は、LSI設計の一般的な配線長の分布を示す図である。

図2は、本発明のドライバとレシーバを接続する構造の一例を示す図である。

図3は、本発明の35GHzのパルス実効周波数相当のシミュレーションモデル回路を示す図である。

図4は、図3のシミュレーション結果を示す図である。

図5は、本発明の図2におけるnMOS構造のドライバの断面構造の一例を示す図である。

図6は、本発明のバイポーラトランジスタのキャリア再利用回路を示す図である。

図7は、本発明のレシーバ端の回路の一例を示す図である。

図8は、ドライバの平面構造の一例を示す図である。

図 9 は、ドライバトランジスタ部の断面構造の一例を示す図である。

図 10 は、本発明の伝送システムに好適な伝送線路を示す図である。

5 図 11 は、不均質絶縁層における導体周辺の絶縁層の実効比誘電率整合の一例を示す図である。

図 12 は、コラム、ビアホールなどインピーダンス不整合の長さのモデルを示す図である。

10 図 13 は、 50Ω を基準にしたミスマッチインピーダンスと多次反射エネルギーの通過率を示す図である。

図 14 は、バススイッチタイプドライバの一例を示す図である。

図 15 は、チップ間伝送線路接続構造を示す図である。

図 16 は、チップパッド配列の制約を示す図である。

15 図 17 は、パッケージを用いたときのファンアウト配線構造を示す図である。

図 18 は、等長ファンアウト配線の一例を示す図である。

図 19 は、円弧 AB を一定にして弦 AB を変数にするためのモデル図である。

20 図 20 は、ペア線路間の距離を一定にして線幅を変える線路構造の一例を示す図である。

図 21 は、メモリ側からの送信回路を示す図である。

図 22 は、信号修正回路アルゴリズムを示す図である。

図 23 は、アルゴリズムを説明する波形の処理ステップの一例を示す図である。

25 図 24 は、本発明のドライバとレシーバを接続する構造(遺伝的アルゴリズム回路含まず)の他の一例を示す図である。

図 2 5 は、線路間の寄生結合素子を示す概念図である。

図 2 6 は、遺伝的アルゴリズムの回路モデルの一例を示す図である。

図 2 7 は、p M O S トランジスタの構造と容量成分の説明図である。

図 2 8 は、ゲート電圧と p M O S バラクタ容量の関係を示す図である。

図 2 9 は、n M O S トランジスタとバラクタを持つ基本回路の一例を示す図である。

図 3 0 は、C M O S バラクタの構造を示す図である。

図 3 1 は、p M O S とゲート電圧の関係を示す図である。

図 3 2 は、n M O S とゲート電圧の関係を示す図である。

図 3 3 は、等化による高速データ伝送の調整方法の説明図である。

図 3 4 は、図 3 3 において、波形を周波数軸上で調整する回路を示す図である。

図 3 5 は、図 3 3 において、波形を時間軸上で調整する回路の原理説明図である。

図 3 6 は、図 3 3 において、波形を時間軸上で調整する場合の各スイッチの電流波形と出力電流波形を示す図である。

図 3 7 は、図 3 5 において、波形を時間軸上で調整する回路の実装例を示す図である。

図 3 8 は、送端終端のみグランドに落とした F E T 1 個の基本スイッチ回路の例を示す図である。

図 3 9 は、図 3 8 の回路の波形図である。

図 4 0 は、実測基板のトランジェント解析回路の例を示す図である。

図 4 1 は、図 4 0 の回路の波形図である。

図 4 2 は、波形整形を行わない場合の送信波形と受信波形を示す図である。

図 4 3 は、図 3 3 の波形整形を行った場合の送信波形と受信波形を示す図である。

符号の説明。

1 … ドライバ、2 … レシーバ、3 … 送信端、4 … レシーバ端、5 ,
6 … 受端整合抵抗、7 , 8 , 9 … トランジスタ・オン抵抗、1 0
… 伝送線路、2 1、2 2 … トランジスタ、5 1 … 終端抵抗、5 2
… 遺伝的アルゴリズム回路、5 3 … ドライバ、5 5 … レシーバチップ、
9 1 … 波形評価回路、9 2 … 外部装置、9 3 … 切替回路、
9 4 … 遅延回路、9 5 … 可変定電流源、9 6 … 高速スイッチ。

発明を実施するための最良の形態

本願発明をより詳細に説明するために、添付の図面に従ってこれを説明する。

・ L S I チップの I / O ドライバ・レシーバ回路構成

先ず本発明の信号のやり取りをする回路を示すと、図 2 のようになる。ここでは差動出力を可能とするドライバ 1 とレシーバ 2 の構成が記述されている。送端側はグランド接続 3 があるが、レシーバ端 4 にはグランド接続が無いことが従来と大きく異なる。なお、図 2 において、信号伝送線路は、模式的に分かり易くす

るため同軸線路で表示されているが、実際は図 10 に示されるようなペア線路（平行 2 線）である。以下、図 5、図 6、図 14、図 21、図 24、図 25、図 26 においても同様である。

まず、高速に動作するときの現象の予備知識として、電磁気学的概念を説明する。

一般に信号としてのパルスとは多数の正弦波の高調波を含んだ合成波である。パルスのクロック周波数を基本波（エネルギー率約 82%）とすると、約 9% のエネルギーを持つ 3 倍高調波、約 3% のエネルギーを持つ 5 倍高調波、2% のエネルギーを持つ 7 倍高調波、1% のエネルギーを持つ 9 倍高調波、さらに奇数倍で小さなエネルギーを持つ高調波の合成である。エネルギー的に問題のある高調波を安全サイドで見ると、パルスのクロック周波数に対して 1 桁高い周波数までの問題を論じるべきである。すなわち、例えば 2 GHz のパルスに対して 20 GHz の伝送帯域がないとパルスに波形歪みが生じる。また、同じパルス周波数でも立ち上がり時間 t_r （立下り時間 t_f ）が急峻なほど、高次高調波のエネルギーが高く、立ち上がり時間から伝送に必要な帯域の周波数 f を想定すると、 $f = 0.35 / t_r$ 、または $f = 0.35 / t_f$ となる。これをパルス実効周波数と名づける。当然のことながら、この伝送帯域にはパルス実効周波数が含まれている。

電磁波速度で伝わる正弦波エネルギーが波の節目となる伝送距離に対して共振を起こすことはよく知られている。最小節目は $1/4$ 波長（ $\lambda/4$ ）である。前述の高次高調波の共振が起こると、その正弦波の伝達コンダクタンスが ∞ （無限大）、すなわち抵抗が 0 になり、他の正弦波の有限なコンダクタンスと大きく異なって伝達する。すなわち、増幅されたことになる。極端な場合数%

のエネルギーを持つ高調波が基本波と同じエネルギーを持って伝達し、パルス波形が大きく乱れると同時に、電磁放射の原因となる。

前述の Intel の CPU の場合は、クロック周波数 20 GHz の 9 倍高調波までを問題にする。これは、180 GHz という
5 正弦波である。比誘電率 $\epsilon_r = 4$ の場を伝送する線路の電磁波速度は $1.5 \times 10^8 \text{ m/s}$ となるため、180 GHz の $1/4$ 波長 $\lambda/4 = 210 \mu\text{m}$ となる。従って、上記共振を避けるため、LSI チップの中の配線長は $210 \mu\text{m}$ 以上に這わすことができない。もし必要な場合はリピータ回路を挿入しなければならない。現実的にも、RC 充放電による遅延で問題となる配線長は
10 これ以下であり、該高調波成分を通すために LSI チップの中のグローバル配線は全て高周波に耐えうる伝送線路としなければならないことになる。

LSI 設計の一般論として配線長の分布は、図 1 のようになっている。長い配線は LSI の機能ブロック間のいわゆるグローバル配線といわれるものである。東京工業大学の益一哉は図 1 のように伝送線路にする必要がない部分（集中定数回路部分）と伝送線路にしなければならない部分（分布定数回路）を分離すると提案している。本発明も、この提案の範囲に存在させることが現実
15 的である。長い配線を必要とする回路構成は LSI の中の 10% であると想定して、本発明の高周波における問題発生への対応策を説明していく。

ドライバのパルス状の出力信号を得るためにはスイッチと電源が必要である。ところが電流の流れていない状態から瞬時に大量の電流が流れる状態になれば、その電流遷移勾配 di/dt は
25 急峻になり、 $v = L_s (di/dt)$ なる電圧（ L_s ; 寄生イン

ダクタンス)が発生し、電源 V_{dd} が瞬時にこの電圧 v 分だけ低下する ($V_{dd} - v$)。クロック周波数が 1 桁向上するというこ
とは、同じ配線構造では、 v が 1 桁大きくなることに相当する。
回路中の寄生インダクタンス L_s を概算すると配線長さ $10\ \mu$
5 m で $10\ pH$ となる。従来、 $10\ pH$ をよしとした回路であるとする
ならば、周波数を 1 桁向上させるには $1\ pH$ 、すなわち配線
長さは $1\ \mu m$ としなければならないことになる。あるいは、 10
 μm 配線を保つためには $L_s = 0.1\ pH$ にするか、もしくは電
流を一定にしなければならないが、これらは集中定数回路的设计
10 では到底不可能なことである。しかしこれは分布定数回路では可
能なこととなる。今、具体的な回路で考えてみる。

GHz 帯の信号立ち上がり $t_r = 10\ ps$ 以下にしたとき、パ
ルス実効周波数が $35\ GHz$ 以上となるため、従来回路では全く
動作しない。すでに歴史のある ECL 回路を使用したカレントス
15 イッチ型ドライバはこの問題を排除するためのものである。しか
しこれも全く用を成さない。これを実現する図 2 の回路は ECL
に代わって $n-MOS$ 1 段で作った差動回路である。なお、 $CMOS$
で構成した同様の他の実施例が図 2 4 に示される。図 2 4 に
おいても、レシーバ端のバイパスキャパシタはレシーバのゲート
20 と分離しているのでグラウンドに落ちていない。

通常、ドライバの前段はラッチが存在し、フリップフロップ回
路である。この回路は差動出力端を必然的に持つため、ドライバ
への入力信号は相補的に配置された $n-MOS$ で差動スイッチ
を比較的簡単に作ることができる。トランジスタを多く配置した
25 回路は pn 接合容量がトランジスタの数だけ多くなり、重畳した
瞬時電流を多く流すことになるだけでなく、信号切り替え時これ

を放電させる必要があり、スイッチング動作の遅れを誘発する。これを防止するドライバ回路は図2のように最小のトランジスタ数で構成しなければならない。このトランジスタに直列につながった抵抗 R_E (3) は、pn接合容量を誘発する原因になる拡散抵抗は使用しないで、タングステンまたはモリブデンやそのシリサイドなどからなる金属膜抵抗が望ましい。

図2のレシーバは論理回路図として表現されているが、ドライバ回路と同じ回路でよく、受信差動信号は差動レシーバのゲートで受け、この部分でグランドにつながっていないことが特徴である。なお、その詳細は、後述する。

この回路の有用性をシミュレーションで確認しよう。図3が $t_r = t_f = 10 \text{ ps}$ (35 GHzのパルス実効周波数)における本発明のドライバ回路で、電源電圧 $V_{dd} = 2 \text{ V}$ 、伝送線路電圧0.05 V (受信端は全反射のため、0.1 V)に設定した。そのシミュレーション結果を図4に示す。 R_8 、 R_9 (5, 6) は受端整合抵抗 55Ω 、 R_1 、 R_2 、 R_3 (7, 8, 9) はトランジスタオン抵抗 500Ω である。 U_1 、 U_3 と U_2 、 U_4 は差動トランジスタのスイッチ動作を表現したものである。シミュレーション回路のオン抵抗 0.001Ω 、オフ抵抗 $1 \text{ M}\Omega$ である。トランジスタ寄生容量を設定するため、 C_4 、 C_5 、 C_6 、 C_7 の 10 fF を併設した。伝送線路10はLSI内で制御可能な適切と思われる 50Ω の特性インピーダンスとし、比誘電率 $\epsilon_r = 4$ の絶縁物で囲まれた線路で 3 mm 線路長に相当する遅れ 20 ps を設定した。差動ゲートに入力されるとして、それぞれ 5 fF のゲート容量を付加した。電源・グランドペア線路の特性インピーダンスを信号線寸法より太いとして、 15Ω に設定し、

7. 5 mmの遠方から供給すると考えた。チップ内に散りばめられたバイパスコンデンサを20 pFとした。ここでL1はバイパスコンデンサの寄生インダクタンスで、容量が小さいため、対抗電流パスが短いとし、1 pHとした。差動信号は図2のようにシングルエンド的に取り扱うが、シミュレーションで、このようなツールが無い場合、2対の対電源、対グランドとの伝送線路と表現した。

受信端の信号電圧振幅が0.1 V (11) と非常に低い、差動入出力では充分検出可能な電位差であるとした。伝送線路のチャージ、ディスチャージの間定電流を流すことになるが、その電流を小さくし、低電力を意識した設定となる。この設定では200 μ A (13) となり、1ドライバあたり、1遷移あたり2 V \times 200 μ A = 400 μ Wの消費となる。相対的に大きな消費電力であり、LSIあたり10%程度に止める設計のグローバル配線とすることがガイドラインとして必然的に出てくる。

このような高周波数でもシミュレーションではほぼ定電流が維持され、ほとんど問題がない。トランジスタのゲート容量10 fFで電流インデント(スパイク状の変化)が現れるはずであるが。全く見えていないのは相補的に存在するからである。これが後述の図4の説明である。2個の直列nMOSのドレイン、ソースの電圧依存によるスイッチング時定数 τ の変化はほとんど電圧差がないため無視できる。

伝送線路におけるチャージ、ディスチャージの期間(2 t_{pd})の間に次の出力信号の遷移が訪れると、波形が乱れるため、3 mmの配線長では2 t_{pd} = 40 psとなり、これ以下の周期をもつ周波数は問題となる。すなわち、40 psは、周波数に換算す

ると 25 GHz であるので、パルス周波数 25 GHz で動作可能な回路が提案できたことになる。ちなみに配線を 1.5 mm に抑えれば 50 GHz となる。

ドライバ周辺の本発明の提案は、

- 5 (1) 差動ドライバは 1 段のトランジスタ、あるいは 1 段のトランジスタの並列回路で構成されていること。
- (2) 差動ドライバの並列回路あるいは差動ドライバに接続する調整回路が、遺伝的アルゴリズムで最適化される構成であること（後述）。
- 10 (3) 電源・グランドはペア伝送線路であること。
- (4) 電源に対するグランドの相補電流（一般にリターン電流と呼んでいるが、誤解を招く言葉のため、相補電流と呼ぶ）を流すため、ドライバ端にバイパスコンデンサが設けられていること。
- (5) 差動信号はシングルエンド的伝送線路構造（図 2）で取り扱い、一般的なグランドを基準とした差動でない構成。
- 15 (6) 整合終端をシングルエンド伝送線路の特性インピーダンスと同じ値とし、その中点を基準グランドにして電流パスとする構成。
- (7) 波形分析用回路を受信側に配置し、波形調整回路は終端抵抗とドライバの間に設置されている構造。
- 20 (8) 差動ドライバを同じウエル構造の中に設け、それぞれのチャンネル（MOS・FET の場合）、ベース（バイポーラトランジスタの場合：この場合は共通コレクタ構造）にして、内部蓄積電荷の反転信号による相補的利用を考えた構成。
- を特徴とする。
- 25 (8) は図 3 の C4, C5, C6, C7 の蓄積電荷を反転時に再利用するという意味であり、図 4 のシミュレーション結果のイン

デントピークを治めることができる。同じウエル構造内では、同じ寸法のトランジスタの特性はアンバランスになりにくく、全く同じ量のチャージのポンプアップ、ポンプダウンができる。

(8) の作用を実現するトランジスタ断面構造の一例を記載すると、図5のようになる。

差動ドライバトランジスタは同一ウエル構造の中にある。それぞれのゲート電位に吸い寄せられたチャネル電荷(n MOSでは電子は少数の誘起伝導キャリアであるが、ホールはウエル内の多数キャリアでチャネルとはいえないが、高ホール密度をチャネルと仮に呼ぶ)が相補入力信号で開放されたとき、隣接トランジスタの吸引が起こるときであり、高速なキャリア交換が行えることになる。また、電荷の再利用による電力の節約にも大きく寄与する。

バイポーラトランジスタでは図6のような断面構造が考えられる。ベースの蓄積少数キャリアのコレクタ側への引き抜きが共通コレクタ電極で強調されるとともに、空乏層電荷の相補的増減を共通コレクタが補償する。エミッタの引き抜きは従来と変わらないため、MOSにおける効果より、少ないが、大きな高速動作を可能とする構造であり、電荷再利用で電力も低減できる。

ここで、上記キャリアポンプアップ・ポンプダウンによる高速動作とトランジスタの構造原理の詳細な説明をする。

トランジスタが高速に動作しない最も大きな理由は、トランジスタ遷移直前に存在している蓄積電荷を放出し、新たな状態にしたがった蓄積電荷分布に納めるための電荷供給をするのに時間が掛かるという事にある。電源グランドはチップ内にバイパスコンデンサがサポートされていても、本質的に受動的なものであり、

能動的な変化をするトランジスタの電荷供給、放出を積極的に助けるものではなく、トランジスタ蓄積電荷（容量成分）による瞬時電流増大で、電源電圧低下、グランドレベルの上昇が起こり、瞬時電流が制限される。また一般にバイパスコンデンサはトランジスタに隣接していないため、緊急に必要とする電荷供給策となりにくい。この問題を図 27 の p M O S トランジスタ構造でもって説明する。

p M O S トランジスタの電極の電圧がベース B = ドレイン D = ソース S のときを基準電位とし、基準ソース電位に対してゲート G にマイナス電位がかかるとゲート絶縁物直下の n - チャネル（チャネル層領域）は反転しホールが誘起され図 27 のような構成となる。ゲート電位と反転層電位の間に電荷が対峙して C_{ox} が形成される（この場合の反転層の電荷はホールである）。反転層の下には空乏層が発生し、ここでも電荷が対峙しているため、 C_i が存在する。反転層によるウエル構造の電位分布で空乏層の下に C_b も発生する。これらの全容量を C_{mos} と呼ぶことにする。電圧の上昇と共にこの状態は弱められ、電荷がどんどん離散していく。この様子を横軸をゲート電圧、縦軸を C_{mos} とすると図 28 のような関係が描ける。反転層が無くなり、空乏層のみとなったときに電荷量が最も少なくなる。すなわち、この場合のトランジスタは電圧に依存する二端子型の可変容量素子とみなせる。

さらにゲート電位をプラス側に上昇させるとチャネル層領域に蓄積電荷（この場合ゲート直下の層は電子）が貯まる。当然、ホールが貯まっていた時と同じ蓄積電荷量となり、容量は増えて C_{ox} に戻る。この C_{ox} の値は

$$C_{ox} = \epsilon_{ox} S / t_{ox}$$

となる。ここで ϵ_{ox} はゲート絶縁物の誘電率、 S はチャネル面の面積、 t_{ox} は絶縁物厚みである。図 28 の C_{mos} の最低値を C_{min} とすると、ゲート電圧の反転 (V_{swing}) で、 $Q_{tran} = 2 V_{swing} (C_{ox} - C_{min})$ の電荷量を電源から注入しなければならない。電荷の反転をさせるため、2 倍という係数がついている。これはトランジスタ出力電荷とは関係の無い、トランジスタ自身を動作させるためのエネルギーといえる。

今、信号電圧 $0.5 V$ 、 $C_{mos} = 5 fF$ 、 $C_{min} = 2.5 fF$ とし、ゲートに入力される信号の遷移時間（立ち上がりまたは立下り時間）を $25 ps$ とすると、遷移に伴う電荷量 $Q_{tran} = 1.25 fC$ となり、遷移電流 $i_{tran} = 50 \mu A$ が $25 ps$ の間流れ、これがトランジスタ駆動のために余分に必要となる。信号遷移のたびにこのエネルギーは瞬時に吸収放出しなければならない、多くのトランジスタが集合している回路中では少しでも電源グラウンドの状態が悪ければトランジスタ能力も発揮できない事になる。

電源グラウンドの電圧は静的なもので、 $50 \mu A$ の電流を瞬時に流すとその線の寄生インダクタンスで電源電圧の降下やグラウンドレベルの上昇となることはすでに述べた。トランジスタの動作に必要な電荷を強制的にポンプアップ、ポンプダウンする回路がトランジスタの高速スイッチをサポートするために必要である。CMOS 論理回路でもメモリ回路でも差動出力端子を備えるものが多い。ここでは入力信号はすべて差動で受けられる回路とする。基本回路に図 29 のような nMOS トランジスタとバラクタの構成で説明する。2 つの nMOS トランジスタとバラクタは全く同じ寸法構造のもので、相補的に駆動されるものである。

図 27 の PMOS トランジスタをベースとして CMOS トランジスタと同じ寸法のバラクタ (FET のソース電極とドレイン電極を接続した 2 端子の回路素子) を設計すると図 30 のような CMOS トランジスタと似た構造で相補的な特性を持つバラクタが得られる。これから判明するように相補的な差動信号で MOS トランジスタが電荷を必要とする時、ゲートの与えられた電圧変化で図 31、32 のようにバラクタの容量が減少し容量減少分に相当する電荷が、すなわち、MOS トランジスタが必要とする電子かホールを放出する。これがソースまたはドレイン電極から流れ込む事になり、瞬時に MOS トランジスタの遷移時に必要な蓄積電荷分を充足する事になる。MOS トランジスタが電荷を放出しなければならないとき、同じバラクタが電荷を必要とする時であり、積極的にこれを吸収する事になり、蓄積電荷を再利用できるという電力消費を抑制する良い回路が出来上がる。

バラクタ、トランジスタ、または CMOS・FET のスイッチタイプドライバでは、相補動作する素子の共通ウエル内で +, - 電荷の高速交換が行われるので、共通ウエルを電氣的に浮かす (GND や電源に接続しない) ことが望ましい。しかし場合によっては、雑音の低減等のために動作速度を犠牲にして共通ウエルを GND や電源に接続する場合も存在する。

図 7 にレシーバ端回路の例を示す。差動レシーバトランジスタの $n1$, $n2$ (21 , 22) は反転信号入力のため、図 5 や図 6 と同様に、共通ウエル構造や共通コレクタ構造 (バイポーラを採用した場合) をとれば高速動作が可能である。 $n3$, $n4$, $p3$ はスタティックなトランジスタのため、従来回路で充分である。 $n1$, $n2$ の反転動作を利用してバラクタを、図 5 と同様にして、

図 6 のようにセットにすればよく、これで高速動作と省電力動作が可能となる。p 1 と左のバラクタ、p 2 と右のバラクタが同じウエル構造の中にあればよい。

引き続き配線構造を図 8 に示す。入力信号がペア伝送線路、出力線路も伝送線路、電源グランドペアも伝送線路(上層)(いずれもペアコプレーナ線路)であることが重要な設計ポイントであり、差動入力でペアになったトランジスタが同じウエル構造の中にあることも他の重要ポイントである。

電源グランド層は二点鎖線で示したように 3 層目にそれぞれのトランジスタアレーに沿ってペアコプレーナ線路として組まれている。これを分かりやすいように断面構造で示したものが図 9 である。

先ず、上部電源グランドのコプレーナ線路(30)の断面を注目する。電源・グランドのカップリングを強くするため、アスペクト比 $t/w \geq 1.5$ が望ましい。対抗面を増やすことで電源グランドとのカップリングが強くなり、電磁界の外部への漏れを小さくするためである。次に、上部電源グランドペア層内でのカップリングを強くするため、対抗面電磁界のフリンジができるだけ層に渡って交叉しないようにする、すなわち、クロストークを避けるため、 $d < h$ の条件を満たす必要がある。第 3 に、これもフリンジの影響を避けるため、 $s/d \geq 1.5$ にする必要がある。同様のことが全てのペアコプレーナ線路(信号線、クロック線)で実現するべきである。ドライバやレシーバ構造はもちろん、数 GHz 以上のクロック周波数で動作する LSI の論理やメモリトランジスタの結線は全てこの構造にすることが望ましい。もち

ろんこの配線ルールは好ましくはチップのグローバル配線すべてに渡って適用されることはいうまでも無い。

図2に一例を示すように、ドライバの出力は主線路バスを通り伝送線路に至る過程で、ペア線路はいかなる場所でもコモングラ
5 ンドに接続せず、グラウンドとは抵抗を介した独立した線として存在する。これによる効果は、ペア信号線間が相補的にスウィングし、差動アンプレシーバに有効な最大振幅が得られることにある。更なる効果は伝送線路の電磁界の乱れが最小になり、波形が乱れないとともに寄生インダクタンスと寄生キャパシタンスを最小
10 にする回路となることである。

ここで重要な点は、信号線用のグラウンドは信号線と一対のもので、グラウンドとはいえないため、コモンにつながらないことである。他の信号とレベルを合わせるため（バイアス差がないように）、一箇所でグラウンドに落とすが、これも厳密な意味では不要である。
15 1箇所に限定したのはグラウンドに存在する相補電流が別のグラウンドループを通過してブランチになることを防止するためである。これをループ電流とか渦電流と呼ぶならば、この電流がEMI発生の原因になるもので、本発明はこの現象を防止することを特徴とするものである。

例えば、マイクロストリップ線路の場合、マイクロストリップ線路はコモングラウンドに対してストリップ線路が誘電体を介して配線される構造であり、ストリップ線路とコモングラウンド間の電磁界分布がコモングラウンドを介して他のストリップ線路とも結合し、他のストリップ線路に干渉を与えてしまう。しかし、この発明の信号線用のグラウンドは信号線と一対のもので、コモングラ
20 ンドと切り離されているので、基本的に上記のようなコモング
25

ランドを介して他の信号路に干渉を与えることはない。これがコモンランドと切り離れた信号線用のランドを設けたことの効果である。この発明において、電界磁界の広がりを中心がペア伝送線路（信号線と信号線用グランドライン）の断面中心となる。

図 3 8 に示される、送端終端のみをランドに落とした F E T 1 個の基本スイッチ回路を用いたシミュレーション結果を図 3 9 に示す。図 3 9 において、図 3 8 の送信端 1 0 1 の波形 1 0 3 が図 3 8 の受信端 1 0 2 では、その波形 1 0 4 が終端抵抗と F E T オン抵抗の分圧で出力振幅は下がっており F E T の容量でスパイクは出ているが、1 G H z パルスは通っていることがわかる。ただし、伝送線路（T 2）のランドをどうするかが検討課題として残る。

次に、2 3 0 m m 線路長（ライン／スペース＝1／1、特性インピーダンス約 5 0 Ω ）のマイクロストリップ線路 M S L とスタックトペア線路 S P L の S パラメータ実測を行い、1 G H z において両回路ともに入力サイドでランドに落としたのみで、出力サイドは 1 0 M Ω の抵抗を入れて浮かせたシミュレーション解析結果を図 4 0、図 4 1 示す。図 4 0 において、2 P o r t という回路部品 1 0 5 に実測 S パラメータを入力しており、材料は F R - 4、B T レジン、テフロン（登録商標）である。

図 4 1 において、送信波形 1 0 6 が受信波形 1 0 7、1 0 8、1 0 9 となることが示される。これより、伝送線路 T 2 がたとえ浮いていても、上記線路のシミュレーションからマイクロストリップ線路 M S L とスタックトペア線路 S P L のいずれの場合も 1 G H z の波形は通ることが示され、入出力のいずれか 1 箇所ですぐランドを落とせばよいということが判明する。

前記回路に用いられる伝送線路の構造を示すと図10のようになる。2対づつ記述されているが、隣接ペア線路との距離はペア線路自身のスペースを基準にして、2倍以上のスペース($2s$)を有することがペアコプレーナと、スタックトペアのルールである。ガードコプレーナ線路とガードスタックトペア線路はペア線路自身のスペースを基準にして1倍以上のスペース(s)で隣接配線スペースを設計できる。ガード付き線路の利点は伝送線路の特性インピーダンスを下げ、適切な設計範囲にすることができる。

TEM波伝送条件を守るため、伝送線路は均質な絶縁材料で囲まれている。その範囲はペアコプレーナとスタックトペアでは導体外周から実効的電磁界の広がりと同等の $2s$ の広がり(図10)であり、ガードコプレーナとガードスタックトペアでは実効的電磁界がガード内に留まるため、 s の広がりである。

もし、この絶縁層の広がりが守れない時の対応策を図11で提案する。スタックトペア線路の一例を示す。このイメージはプリント配線板で、最上層のソルダーレジストの部分である。ソルダーレジストが薄いため、上部に広がる電気力線が空気層(比誘電率1)の部分に及ぶため、ソルダーレジストの実効比誘電率は小さくなる。下部の絶縁物の比誘電率を a ($a > 1$) とすると、ソルダーレジストの実効比誘電率を同じ a にするように誘電率の大きいソルダーレジストを用いる構成は、本発明の特徴である。これにより、伝送線路は実質的にTEM波モードを維持できる。ペアコプレーナ、スタックトペア線路にあっては $2s$ の範囲に異種の絶縁層や空気層があるとき、実質的な比誘電率はその広がり
の範囲で、同じ比誘電率となるよう調整をした層構造が、また本

発明の特徴である。ガードコプレーナ、ガードスタックトペア線
路においても広がり s の範囲で同様な規定が守られているよう
に構成する。具体的な寸法をプリント配線板でスタックトペア線
路をモデルで提示する。2 s で実効的電磁界が閉じていることか
5 ら $(1/2) s$ のソルダーレジスト厚みを規定するならば、 $(3/2) s$ (すなわち、 $2 S - 1/2 S$) が空気に漏れる電磁界と
なる。空気の比誘電率が 1 のため、ソルダーレジストの比誘電率
を b とすると、 $1 \times (3/2) + b \times (1/2) = a$ という単純
計算式となるが、電磁界の広がりを中心から距離の 2 乗で比例し
10 て弱くなり、実測では $b = 2 a$ 程度となる。

次に図 1 2 (a) で示すように、コラム、ビアホールなどのイン
ピーダンス不整合の長さに対する考察をする。

チップ内絶縁層の比誘電率を 3 とすると、電磁波伝送速度は 1.73×10^8 [m/s] となり、 $100 \mu m$ 線路長の伝送遅れは
15 $0.578 ps$ となる。これは主線路のパルス立ち上がり時間を
 $10 ps$ と仮定したため、次のような現象が起きていると解釈で
きる。ミスマッチ部分にエネルギーが流れてもその帰りが $0.578 \times 2 = 1.156 ps$ であり、 $10 ps$ の間に 8.5 回往復可
能な時間である。この往復調整で立ち上がり時間中にほぼ安定領
域に達する (図 1 2 (b))。したがって、立ち上がり中の波形
20 の乱れはあるものの、立ち上がった後は安定した波形がミスマッ
チ部分を通過後、配線を進行することになる。図 1 3 に示したよ
うに、エネルギー的に見ると、3 回の往復に要する時間を経過した
エネルギーは $50 \Omega / 200 \Omega$ のミスマッチ (不整合) でも 90 %
25 は通過する。結論的にこの長さは無視できるものである。すなわ
ち、上記の不整合部分の遅延時間 t_{pd} が $7 t_{pd} < t_r$ であれ

ば不整合の影響は無視できるので $t_r > 7 t_{pd}$ の構成を提案する。

ここでバススイッチタイプドライバの構成として、バラクタ素子挿入回路を提案する。これの一例を示すと図 14 のようになる。

5 ここでバラクタは MOS トランジスタ、MES トランジスタ、あるいはバイポーラトランジスタと同一構成からなる。これは、同一の LSI 作製プロセスで同時に作製するためである。

ドライバの前段のバッファは参照電源を用いた差動出力回路 (図 2 と同様) を用いればよいことを付け加えておく。

10 ・システム構造

以上でドライバレシーバ伝送システムのデバイスと回路的部分を説明した。次はこの目的に沿ったシステムを構成する構造的な部分について説明する。先ず理想的形を示すと等長並行配線とそのピッチで接続する構造となる。これを図 15 に示す。送端で全反射の戻り信号を吸収する終端抵抗 (51) で、戻り電圧波形を検知する回路が付属し、その波形を分析し、遺伝的アルゴリズム回路 (52) にフィードバックして発信波形を修正するという構成となる。

チップ内で好ましい伝送線路構造はコプレーナ線路であったが、アスペクト比の大きい縦長の断面構造はパッケージやプリント配線板で取れないため、ここではスタックトペア線路が望ましい線路構造である。図 15 (a) の平面図はチップを透視で見た図である。ドライバ (53) からコプレーナ線路を通してチップパッド (54) に至り、ここでフリップチップ接続により配線板に接続される。パッド層より下にもぐりこむ信号線とグランド線はフリップチップのパッドしたビアホールでそれぞれの下層に

接続され、できるだけ短い距離で重なり、断面構造(図15(b))
のようになる。グランド層はスタック上下のずれや、電磁界の下
層への漏れを防止するため線幅 w より1.2~1.5倍を取ること
が望ましい。その他の関係を示すと、 $w \leq s$ 、 $(d+t) \leq s$
5 $/2$ 、 $d \leq h_1$ 、 $d \leq 2h_2$ でなければならない。ドライバから
等位置にレシーバパッド(55)が設けられ、レシーバにつなが
っている。この短い配線もパッケージ内であればスタックトペア
線路、チップ内であればコプレーナ線路であることが望ましい。
図15(a)では2本目3本目のレシーバが重なるため点線で記
10 入されている。当然、いくつもの分岐パッドとレシーバがあるが
省略されている。線路の終端には線路特性インピーダンスに整合
する終端抵抗(57)は接続されている。断面構造で分かるよう
に、電源グランドなどの直行する線路がスタックトペア線路の下
に設定されている。

15 分岐部においてレシーバチップ(56)は、図15で明らかな
ようにバス配線上に跨っている。これで伝送線路長さをできるだ
け短くすることができる。このような構成でドライバチップとレ
シーバチップのパッド配列から次の図16に示すような要件が
出てくる。

20 (1) パッドピッチの2倍のピッチでスタックトペア配線を這
わせ、パッドはバス線路方向と直行する直線状に整列する必要が
ある。

(2) チップの1列パッドから信号線を取り出す構造となり、
他の辺に結合するときの制約条件が大きくなる。

25 この二つの制約は設計者にとって大きな問題を提起すること
になる。チップ面積が改良によりシュリンクしたとき、パッドピ

5 ッチもシュリンクさせなければならない。プリント配線板の技術
的改善で配線ピッチをシュリンクしたときも同様にチップパッ
ドピッチをシュリンクしなければならない。ドライバチップとメモ
リチップの改良タイミングは異なり、整合条件が見つけにくく
なる。パッドピッチのシュリンクは最も信頼度に影響する接合技
術の改良が求められことになり、困難さを伴う。

10 このため、インターポーザとしてのLSIパッケージを使用す
ることによって一応の解決が図れるが、図17のような分岐配線長の延
長やファンアウト型配線構造(60)が求められる。配線延長は
制限範囲内に収める構造的工夫はできても、ファンアウト構造は
等長配線という原則が崩れ、同期着信に問題が出る。ファンアウト
配線の配線幅が広がるように設計すると特性インピーダンス
が変化するという問題もでる。本発明はこれらの問題解決構造に
ついて提案する。

15 図17では便宜上スタックトペア線路的な表現でないが、パッ
ケージ内ファンアウト構造もプリント配線板上の配線もスタック
トペア線路であるとする。プリント配線板の線路寸法はファン
アウト線路より太くできる、しかもファンアウトの広がり角を調
節することで、その寸法が自由に設定できる。すなわちチップパ
20 ッドピッチと独立に設計できるため、パッケージを使用すること
は既存技術の主流になっていた。高速信号系では全ての線路に渡
って特性インピーダンスが同一であること、等長配線であること
が求められる。

25 特性インピーダンス 28Ω を基準にして考える。いま、 $w =$
 $200\mu m$ 、 $\epsilon_r = 4.5$ とすると、スタックトペア線路の特性

インピーダンス近似式 (Harold A. Wheeler) (図 15 の記号参照)

$$Z_0 = \frac{377}{\sqrt{\epsilon_r}} \left(\frac{w}{d} + \frac{1}{\pi} \ln 4 + \frac{\epsilon_r + 1}{2\pi\epsilon_r} \ln \frac{\pi\epsilon_r \frac{w}{d} + 0.94}{2} + \frac{\epsilon_r - 1}{2\pi\epsilon_r^2} \ln \frac{\epsilon_r^2}{16} \right)^{-1} [\Omega]$$

から、 $d = 39 \mu\text{m}$ が求まる。ここでは分岐パッドが存在するが、
 バス構造は終端まで同じであり、特性インピーダンスの不整合を
 心配する必要は無い。平行等長配線を前提にすると、パッドピッ
 チは $w/2 = 100 \mu\text{m}$ となり、現状技術で設計可能である。 h
 2 の厚みをプリント配線板プリプレーグの標準である $60 \mu\text{m}$
 にすれば理想的な層構造となる。

一方、パッケージ配線はチップパッドピッチにしたがって設計
 する必要がある。ここでチップパッドピッチを $50 \mu\text{m}$ とすると、
 パッケージ上スタックトペア配線の w は $100 \mu\text{m}$ となる。上式
 より $d = 19.5 \mu\text{m}$ となる。これでチップパッドから終端抵抗
 まで 28Ω 伝送線路設計となるが、ファンアウト部の配線長さ
 が異なるため、図 18 のような工夫をする。

ファンアウト配線に対する等長配線の公知例としてジグザグ
 蛇行構造のミアンダー配線が良く採用されているが、隣接効果で
 電磁界的に複雑な伝送特性になるため、図 18 のように円弧が等
 長であるようにレイアウトする。ミアンダーのような折れ曲り反
 射が無い場合、スムーズな伝送が期待されるだけでなく、隣接配
 線間距離も比較的広く取れるためクロストークに対しても有利
 な配置となる。

幾何学的な円弧で設計する計算式を構築すると、図19にした
 がい、次のようになる。ここで、A、Bをパッドとする。弦AB
 = l_1 は最外端パッド間の直線距離とする。これを変数とし隣接
 パッド間において円弧ABを一定とする半径OP = r_1 を見出
 5 す関係式を導く。 $\angle ACO$ は直角、 $\angle AOB = \theta_1$ とする。いま、
 線分PC = $r_1 - h_1$ 、CO = h_1 とすると、 $(l_1 / 2)^2 = r_1^2 - h_1^2$ が得られ、 $\theta_1 / 2 = \tan^{-1}(l_1 / 2h_1)$ 、円
 弧AB = $r_1 \theta_1$ [ラジアン] である。これらの式から h_1 を適
 当に決めると r_1 が求まる。円弧AB = $r_1 \theta_1$ は一定として次
 10 以降のパッド間距離 l_x に対して次々と h_x と r_x を求めること
 ができる。 l_x と各パッド間の半径 r_x は、

$$\text{円弧 AB (一定)} = 2r_x \tan^{-1} \left(l_x / 2 \sqrt{r_x^2 - \left(\frac{l_x}{2} \right)^2} \right)$$

もちろん、円弧ABは楕円や任意の高次曲線でもよく、急激な
 曲がりのないことが本発明の特徴となる。

15 さて、パッケージを使用した構造案を提示したが、最近パッ
 ケージを省略してプリント配線板上にチップを直接接続し、ファン
 アウト配線を経た後並行バス配線とする設計手法がよく用いら
 れているが、線幅 w に応じてペア線間距離 d を変更することは同
 一基板上で作りにくい。たとえ作ったとしてもコスト高になり、
 20 その段差部分の接続信頼度が低下する。次なる提案はペア線路間
 d を一定にして w を変える構造に関するものである。図20にこ
 れを示す。ファンアウト構造の部分はマイクロストリップ線路か

ストリップ線路とし、並行バス線路はスタックトペア線路として使い分けることを提案する。

マイクロストリップ線路やストリップ線路はグランド面に対して電界が広がるため、単位長さ当たりのキャパシタンス C_0 が増大する。その結果

$$Z_0 = \sqrt{\frac{L_0}{C_0}}$$

は同一線幅 w であれば小さくなる。逆に Z_0 を一定とすれば w を小さくできることになる。マイクロストリップ線路の近似式 (Harold A. Wheeler) (図 15 の記号参照) は、

$$Z_0 = \frac{377}{2.828\pi\sqrt{\epsilon_r + 1}} \ln \left[1 + \frac{4d}{w} \left(\frac{14 + \frac{8}{\epsilon_r}}{11} \frac{4d}{w} + \sqrt{\left(\frac{14 + \frac{8}{\epsilon_r}}{11} \right)^2 \left(\frac{4h}{w} \right)^2 + \frac{1 + \frac{1}{\epsilon_r}}{2} \pi^2} \right) \right] [\Omega]$$

となる。 $Z_0 = 28 \Omega$ とすると、 $d = 39 \mu m$ で $w = 170 \mu m$ が算出される。導体厚み ($t = 25 \mu m$) の影響を補正するには、経験的に導体厚み t ($25 \mu m$) をマイナスすればよく、補正された線幅 $w = 145 \mu m$ が得られる。スタックトペア線路 $w = 200 \mu m$ に対して同じペア線間スペース $d = 39 \mu m$ で、マイクロストリップ線路にすると線幅 $w = 145 \mu m$ まで微細化が可能となる。

チップパッドの間隔が $50 \mu m$ ピッチ、ファンアウト配線の線幅が $w = 100 \mu m$ の設計に対して線幅 $w = 145 \mu m$ は不足であるが、パッドの極近傍で絞り込むことで対応が可能となる。絞り込む配線長は分岐配線長と同じ考えでよく、コラム、ビア

ホール等のインピーダンス不整合の長さに対する対応と同様に
($6 \times$ 絞込み長さの総合遅れ時間) < (立ち上がり時間) とすればよい。

メモリチップが信号を発信するときは図 2 1 に示す方法をと
る。メモリのドライバより発信した信号はバス線路の両サイド
(7 2, 7 3) に信号が流れる。同じ特性インピーダンスである
ため、エネルギー保存の法則から、信号電圧は $1/2$ となる。右方
向へ流れる信号は無駄信号であり、終端に配置したレシーバが感
応しないようにしなければならない。さらに、ここで全反射して
左のコントローラチップに戻ると、不要信号であるにもかかわら
ず感応する。これも防止しなければならない。メモリがストロー
ブされて信号が発信するとき、右端のレシーバはその信号を受け
てノンアクティブになると共に、終端抵抗 (7 0) がアクティブ
になって無駄信号はここで消滅する。

一方、コントローラチップ (7 4) に到達した、 $1/2$ 正規信
号はコントローラのレシーバ回路 (遺伝的アルゴリズム回路を含
む) を駆動し、そこに付属している終端抵抗 (7 5) で吸収され
消滅する。しかし、すでに記憶した全反射信号変形から、 $1/2$
だけ修正した波形でセンスアンプに取り込まれるため、正しい波
形で、正しいタイミングで認識する。

ドライバ、レシーバともに外側から見たとき常にハイインピー
ダンスであることから、1 ピットのバスで送受信回路を併設する
ことは何ら問題のないことになる。

・ 遺伝的アルゴリズム回路

遺伝的アルゴリズム回路により調整される回路の 1 実施例を
示す。

以上に示す回路は伝送路の特性を規定する L_0 、 C_0 以外の独立した L と C を存在させることを極力排除し、周波数特性を無くしたものである。すなわち、式で表すと特性インピーダンス Z_0 は、

$$Z_0 = \sqrt{\frac{j\omega L_0}{j\omega C_0}} = \sqrt{\frac{L_0}{C_0}}$$

となり、イマジナリパート(虚数部分)と各周波数を消去した形、言い換えればインピーダンスが純抵抗成分である伝送線路を構成したことにある。

しかし、いくら完全に設計しても製造条件のばらつきなどで寄生する独立した微小な相互インダクタンス(M)と容量(C)が存在することになる。これを表現すると図25のようになる。図10に見られる伝送線路は電磁界がほぼ閉じた伝送線路であり、上記の式にしたがい、同軸ケーブルに近い特性をもっている。そこで図24では伝送線路的表現を取っている。この伝送線路間に弱い MC 結合が存在するという概念となる。線路間以外にも筐体やビアホール、コネクタなどでの MC 結合が考えられ、これらの弱い MC 結合による問題は低周波では無視できるものである。しかし、10GHz以上のパルスは回路全体のわずかな寄生的 M と C が大きく影響する。それをアドミッタンス Y で表すと、

$$Y = j(\omega C - 1/\omega M)$$

となり、 ω の増大で大きく変化するだけでなく、 $\omega C - 1/\omega M = 0$ の条件で共振する。このように避けられない実用的問題を排除する回路の挿入が不可欠になる。本発明は、遺伝的アルゴリ

ズムでこの寄生MとCを相殺するLCネットを自動的に作り、ドライバ信号に重畳させることを提案する。その構成は、

(1) 高速信号を確保するため、波形整形は純粹のLCRネットとし、そのどの部分を動作させるかは、電荷ポンプアップ、ポンプダウン型トランジスタで行う構成とする。

(2) テスト信号を発信して、全反射信号を終端抵抗で取り込むが、その電圧を感知し、波形解析を行う。その解析ステップは波形整形の相補的逆変換であるLCRネットとする。

(3) テスト信号補正を行った遺伝的アルゴリズム回路はシステム変化が起こるまで、記憶しているものとする。

このアルゴリズムを図示すると図22のようになる。

LCRネットワーク内の回路接続を制御トランジスタで自由に変更可能な構成として、受信端で本来のデジタル信号波形が受信できるように受信波形を検出してそれと相補的になる波形に送信波形を調整する。この調整は、遺伝的アルゴリズムにより実行される。その波形の一例を図23に示す。遺伝的アルゴリズムは、確率的探索手法の一つであり、(1) 広域探索において有効に作用し、(2) 評価関数値以外には微分値等の派生的な情報が必要でなく、(3) しかも容易な実装性を持つ、アルゴリズムである。従って、本発明においては、調整パラメータの探索に遺伝的アルゴリズムを用いると好適である。この調整方法は他の確率的探索方法でもよく、遺伝的アルゴリズムに限らず、山登り法、焼き鈍し法、枚挙法、進化戦略、タブーサーチ法のいずれか、あるいはこれらの組み合わせでもよい。

なお、遺伝的アルゴリズムの基本回路および調整方法は、特願平11-240034号「電子回路およびその調整方法」(特開

2000-156627)を準用する。回路が固定的である限り、修正は1度限りであり、システム出荷段階で遺伝的アルゴリズムを実行するコンピュータは外付けでよく、システムに包含させる必要はない。

5 遺伝的アルゴリズムのLC回路を一例で示すと図26のようになる。図26の遺伝的アルゴリズム出力LCネット81は模式的に表現しているが、その具体的回路を図34～図38に示す。

図33を用いて遺伝的アルゴリズムによる波形の調整方法を述べると、以下のとおりである。

10 ・ 共通概念

受信側できれいな波形になるように送信側の波形を調整(波形整形)して、信号伝送の品質を上げる。いわゆる等化の一種である。

15 波形評価回路91は波形の善し悪しを評価して電圧を出力する回路である。この結果の値を遺伝的アルゴリズムの評価関数値として用いて、遺伝的アルゴリズム(GA)により波形整形の状態を最適に制御する。具体的には、図33において、ドライバは、送信データを差動対の伝送線路に出力するもので、波形調整機能を有する。レシーバは伝送線路からの信号入力から受信データを
20 得るものである。波形評価回路91は、レシーバーで受信する信号波形の歪みの程度を定量的に評価する機能を有する回路であり、受信波形の評価結果に対応する電圧値を出力する。外部装置92は、確率的探索手法である遺伝的アルゴリズムを実行して、波形の調整値をドライバに出力する。ドライバー出力の送信波形
25 は外部装置92からの制御信号により調整される。ここで、波形評価回路91の出力する電圧値は、遺伝的アルゴリズムにおける

評価関数値であり、この電圧値が外部装置 9 2 に入力され、受信信号波形の評価値が最良となるように遺伝的アルゴリズムにより波形の調整値が探索される。その結果、波形の最適化が行われる。

5 波形整形の方法として、次の、周波数軸による調整と時間軸による調整の 2 つがある。

・ 周波数軸による調整（図 3 4）

10 周波数軸による調整の一例として、図 3 4 に示す等化フィルタを用いる構成について説明する。図 3 4 の等化フィルタの回路は、図 3 3 のドライバに実装される。該等化フィルタ回路は、伝送線路で発生する信号波形の歪みに対して、周波数軸上での振幅の補償と、周波数軸上での位相の補償を行い受信波形の歪みを最小化する。振幅の調整を主に行う回路図 3 4（a）と位相の調整を主に行う回路図 3 4（b）の少なくとも 2 種類の回路を縦続接続した等化フィルタ回路で波形整形を行う。

15 この回路において、図中の抵抗 R の抵抗値とコンデンサ C の容量値を、遺伝的アルゴリズムによって受信波形の歪みが最小となるように調整する。抵抗 R とコンデンサー C のみの調整では、等化フィルタの定抵抗条件（反射信号がない最適条件）を満たすことが困難であり、一般にこの条件では特性の解析がきわめて困難な場合であるが、受信波形が最良（最小歪み）となる送信波形を GA が検索してくれる。

20 （以下本文中において、「 」（オーバーライン）を付す場合、表記の制限の都合上、「 」（アンダーライン）に置き換えて表記する。）

・ 時間軸による調整（図 3 5 ～ 図 3 7）

時間軸による調整の一例を、図 3 5 ~ 図 3 7 を用いて説明する。
ここで説明する回路は図 3 3 のドライバに実装される。まず、図
3 5 は送信波形を時間軸上で調整する回路の動作原理を示す。こ
の回路は、切替回路 9 3 (スイッチアレイが $S_1 \sim S_n$ 、それに
5 応じた出力信号が $P_1 \sim P_n$ および $\underline{P_1} \sim \underline{P_n}$ 、ここで P_n と $\underline{P_n}$
は相補信号)、差動入力データを所定のタイミングだけ遅延さ
せる遅延回路 9 4、アナログの直流可変定電流源 9 5 (各電流値
を $C_1 \sim C_n$ とする)、高速スイッチ 9 6 (切替回路 9 3 からの
データ出力信号 $P_1 \sim P_n$ 、 $\underline{P_1} \sim \underline{P_n}$ を受けて相補的にスイッ
10 チが ON, OFF する) から構成されている。

送信データである一組のデータ入力(この相補信号はデータ入
力)のデジタル信号を受け、最初に切替回路 9 3 のスイッチ S_1
を経由して P_1 、 $\underline{P_1}$ の信号が変化し、 P_1 、 $\underline{P_1}$ に対応する高
速スイッチ 9 6 を動作させる。これにより C_1 に対応する可変定
15 電流源 9 5 の出力電流(電流の設定値が C_1)を切り替えて、出
力電流 I_{out} 、 $\underline{I_{out}}$ の一要素を得る。

同様に一組のデータ入力のデジタル信号は、各遅延回路 9 4 を
経由して所定の複数の遅延のタイミングが設定され、一連の信号
 $P_2 \sim P_n$ 、 $\underline{P_2} \sim \underline{P_n}$ が生成される。これらは次々と高速スイ
20 ッチ 9 6 を動作させる相補信号 $P_2 \sim P_n$ 、 $\underline{P_2} \sim \underline{P_n}$ であり、
各可変定電流源 9 5 の各電流 $C_2 \sim C_n$ を通電する。

各高速スイッチは出力側が非反転信号、反転信号のそれぞれに
ついてすべて並列に接続されているので、合成された相補電流 I
 $_{out}$ 、 $\underline{I_{out}}$ を得る。高速スイッチ 9 6 の各部においては、
25 入力データから所定の複数のタイミングを持つ電流波形が重畳
され、波形整形が行われる。

上記で合成された電流 I_{out} 、 I_{out} は、図中、データ出力およびデータ出力として出力される。この出力信号が図 33 におけるドライバの出力信号である。伝送線路での波形歪みを補償する波形が出力されるとレシーバでの入力波形は歪みが最小となる。

なお、発明者が試験を行った結果、例えば LAN に使用される同軸対線やより対線の長いケーブルを伝送路として使用した場合においても、送信波形を時間軸上で調整する回路の構成が 2 段でも有効な効果があることが判明した。すなわち、切替回路 93、スイッチアレイ S1、S2、直流可変定電流源 95 がそれぞれ 2 組、高速スイッチ 96 が 2 対によって構成される回路により送信波形が時間軸上で調整される。

この場合に限っては、受信波形に基づく送信波形の調整パラメータの探索において確率的探索手法を用いることなく調整が実現可能である。従って、回路構成が簡単になるという効果が有る。

図 33 における波形評価回路 91 の出力電圧値をもちいて外部装置 92 で実行する遺伝的アルゴリズムにより、可変定電流源 95 の電流値 $C_1 \sim C_n$ および切替回路 93 のスイッチ S1 ~ S_n の設定が最適化される。その結果、レシーバでの受信信号の歪みが最小となる送信波形に自動調整される。

高速スイッチ 96 を 5 組 (P_1 , P_1 , P_2 , P_2 , P_3 , P_3 , P_4 , P_4 , P_5 , P_5) で構成した時の、各スイッチを流れる電流の波形 (波高値は $C_1 \sim C_5$ に相当) を図 36 に示す。各々の高速スイッチ 96 (P_1 , P_1 ~ P_5 , P_5 に対応) を流れる電流の合成されたものが I_{out} および I_{out} である。各高速スイッチ 96 を流れる電流は差動になっているから、その合

成である I_{out} , I_{out} も差動電流となる。図 35 に示した原理構成を実装例として示したものが図 37 である。各動作要素ブロックは同一番号 93, 94, 95, 96 として示した。ここでスイッチ要素になるトランシスタは FET で表現したが、バイポーラトランシスタでも可能である。

このような波形整形を行わない場合と上記のように時間軸上で波形整形を行った場合の比較例を図 42, 図 43 に示す。波形整形を行わない図 42 の場合、図 42 (a) の理想的な矩形波 110 を送信波形 (ドライバの出力電圧) として送信した場合の伝送線路を通過した後の受信波形を計算機上でシミュレーションすると、図 42 (b) の 111 のような受信波形が得られる。これは高い周波数成分が伝送線路で減衰したためで、デジタル信号の「1」と「0」が曖昧になっている。

一方、遺伝的アルゴリズムによって時間軸上で波形整形を行った場合の送信波形 112、受信波形 113 は図 43 (a), (b) に示される。この場合、伝送線路を通過した受信波形 113 のデジタル信号の「1」と「0」を理想に近い波形にするべく送信波形 112 が調整されるので、受信波形 113 がデジタル信号の「1」と「0」に対応する電圧地となり、電圧のずれの少ない、理想状態に近い波形が得られている。

なお、他の実施例としては、線路の構成の新しい構成方法としてスタックドペア線路 (図 10) で上下の線路幅を変えることで線路の位置ずれに対する線路の特性インピーダンスの変化を小さくできる。また、このとき、ペア線路の上下の絶縁層の厚さを変えることでコモンモードインピーダンスを同じにできるので、このような工夫をこの発明に追加してもよい。

産業上の利用可能性

以上述べたように、種々の工夫に基づいた本発明の高速信号伝送システムによれば、2 GHz 以上の高速クロック周波数の L S I チップに対応し、チップクロックと同じ伝送クロックの I / O バス可以实现できる。

これは、従来 533 MHz しか実現できなかった I / O バスを飛躍的に高速にすることができるという顕著な効果を奏する。

その基本は、20 GHz に達する高速パルスの伝送帯域に巧妙に整合あせる工夫にあり、また浮遊容量や寄生インダクタンスを巧妙に吸収させ、あるいはキャンセルさせる工夫にある。

これら工夫は「新規性」があり、また、遺伝的アルゴリズムの活用も見逃せない効果を奏する。

かくして、L S I クロックと整合した I / O バンド幅が確保でき、L S I チップの高速化に対応し、メモリとのデータ転送を含めたデータ処理システム全体の高速化が実現できることになる。

請 求 の 範 囲

1. 高速信号伝送システムにおいて、

線路の信号伝送に対する不具合を波形分析回路により分析検
出して送信波形を整形する調整回路が出力端に付加されていて、
受信端の波形が良好となるように該調整回路が調整されること
を特徴とする高速信号伝送システム。

2. 前記調整回路が確率的探索手法により調整されることを特徴
とする請求項 1 記載の高速信号伝送システム。

3. 前記確率的探索手法が、遺伝的アルゴリズム、山登り法、焼
き鈍し法、枚挙法、進化政略、タブーサーチ法のいずれか、ある
いはこれらの組み合わせであることを特徴とする請求項 2 記載
の高速信号伝送システム。

4. 前記線路は送端から終端まで特性インピーダンスで整合させ、
受信端のセンスアンプは送信波形と全反射波形の合成を受信し、
全反射波形が再び送信端から再反射して発信されないよう送信
端側に終端抵抗が挿入されていることを特徴とする請求項 1 記
載の高速信号伝送システム。

5. 高速信号伝送システムにおいて、

線路の送端または終端側の一方で基準電位を確認するため電
源またはグランドへの接続を有するが、該基準電位を確認した送
端または終端側と反対側の終端または送端では電源またはグラ
ンドへの接続を有さないことを特徴とする請求項 1 記載の高速
信号伝送システム。

6. 前記システムの電力供給線は電源・グランドペア線路となっ
ており、それぞれの最小論理要素、メモリ要素回路の 1 要素回路

あたり、1 専用ペア線路で接続されていることを特徴とする請求項 5 記載の高速信号伝送システム。

7. 前記終端のセンスアンプが、10 fF 以下のゲート容量をもつ MOS・FET で構成されることを特徴とする請求項 5 記載の高速信号伝送システム。

8. 前記線路は TEM モードが維持される構造となっていることを特徴とする請求項 5 記載の高速信号伝送システム。

9. 前記線路は、空気中に電磁波がもれる構造にあっては、その部分の実効誘電率が内部誘電体誘電率に整合するよう高誘電率材料がコーティングされる構造であることを特徴とする請求項 5 記載の高速信号伝送システム。

10. 前記線路は、ペアコプレーナ、スタックトペア、ガードスタックトペア、ガードコプレーナ構造のいずれかであることを特徴とする請求項 5 記載の高速信号伝送システム。

11. 前記線路が複数ビットで構成されるときは全線路に渡って、物理構造が相対的に同じで、等長配線長さとする構成とし、並行な等長配線を基本とし、ファンアウト配線を等長とするため円弧状の配線を用いることを特徴とする請求項 5 記載の高速信号伝送システム。

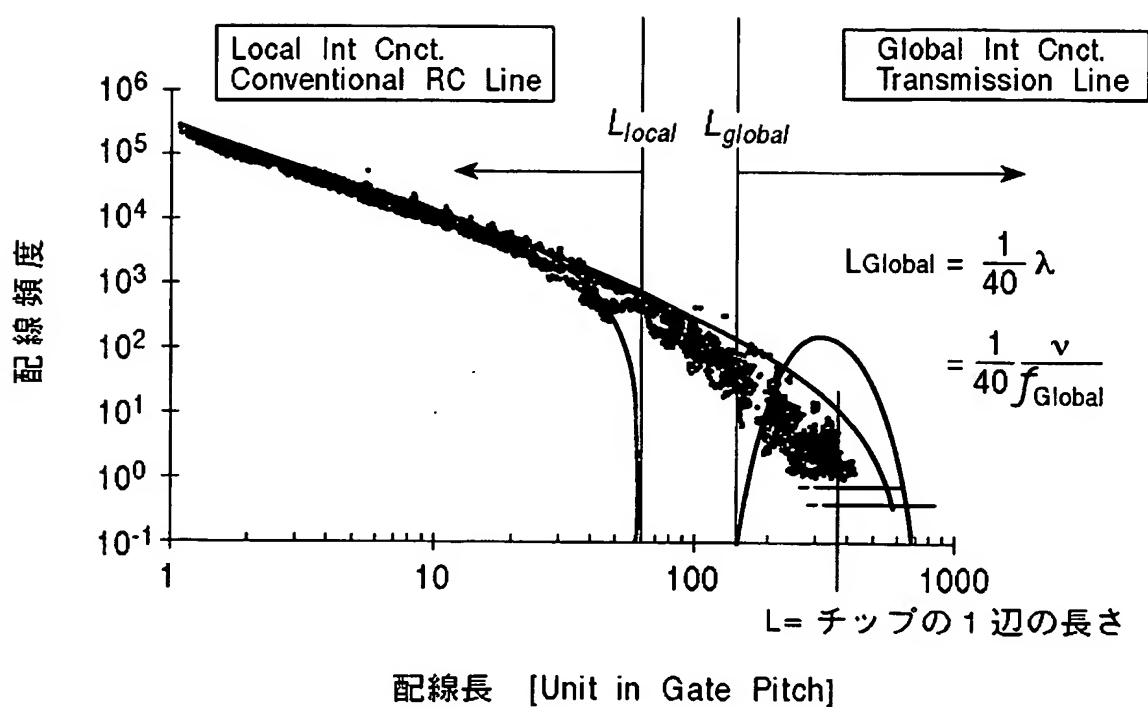
12. 前記線路のドライバ回路およびレシーバ回路は Si または SiGe の MOS・FET、または GaAs の n チャネル MES・FET でグランド接続のない差動出力と差動入力回路、ショットキー高速バイポーラ差動回路またはバススイッチ回路で構成されたことを特徴とする請求項 5 記載の高速信号伝送システム。

13. すべてのトランジスタに相補的におなじ MOS・FET、MES・FET あるいはバイポーラトランジスタの内のいずれか

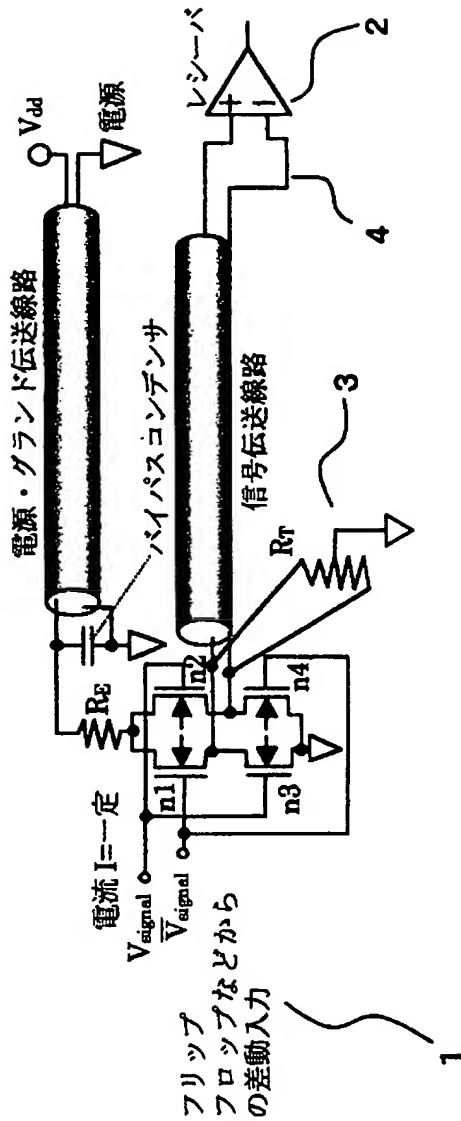
の構造のバラクタを配置した構成であることを特徴とする請求項 1 2 記載の高速信号伝送システム。

1 4 . 前記相補動作する素子の共通ウエルを電氣的に浮かせる構成にすることを特徴とする請求項 1 3 記載の高速信号伝送システム。

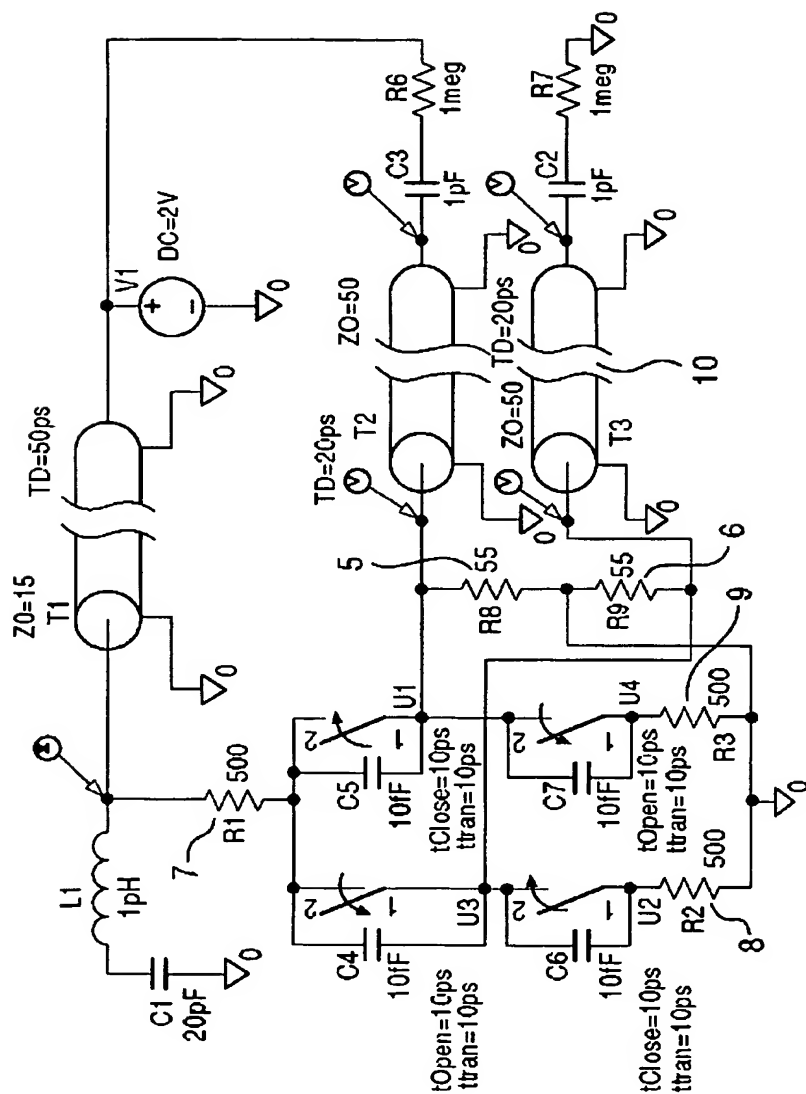
第 1 図



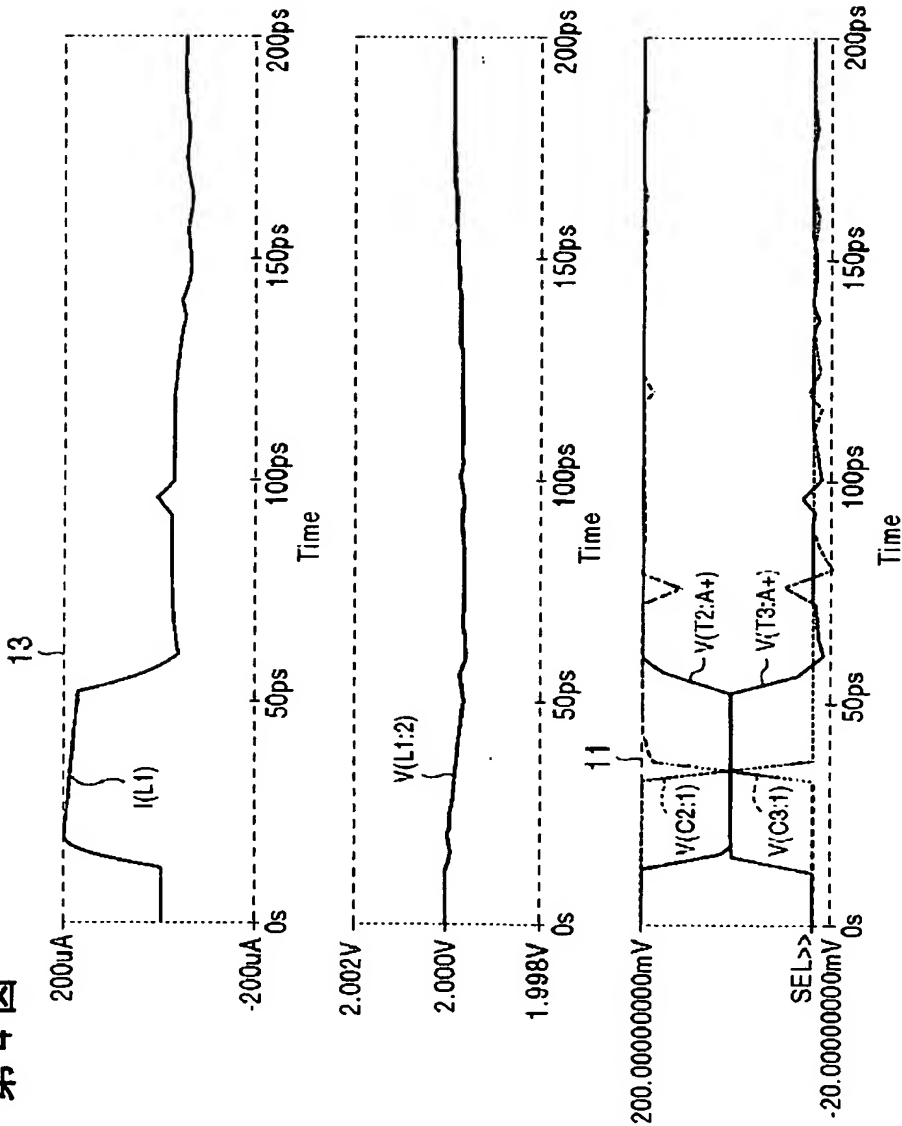
第2図



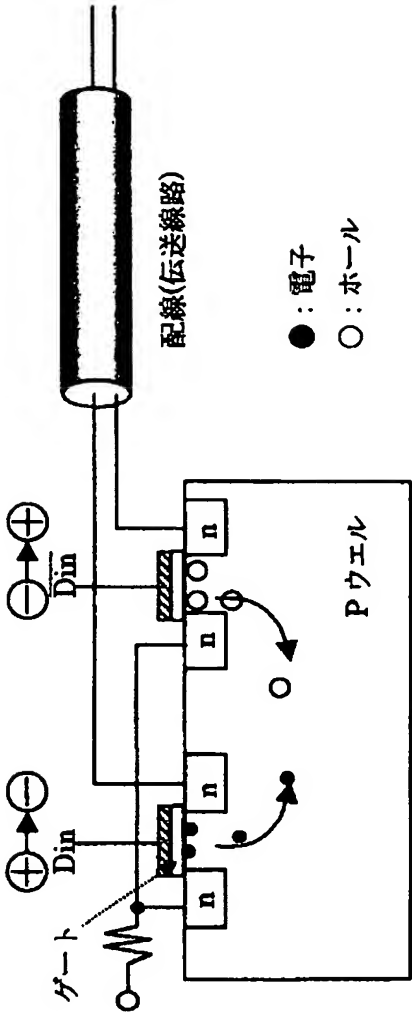
第3図



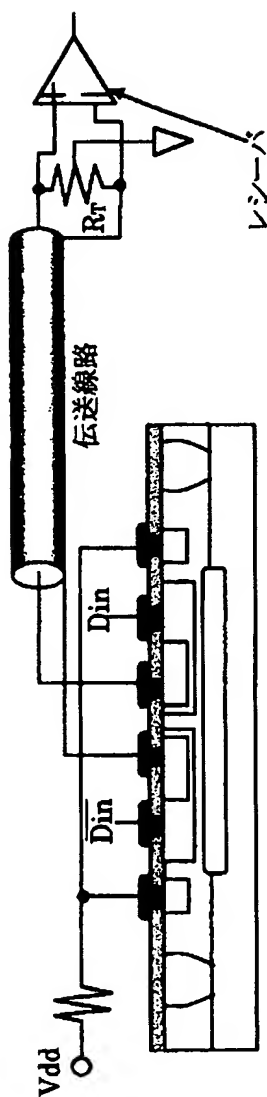
第 4 図



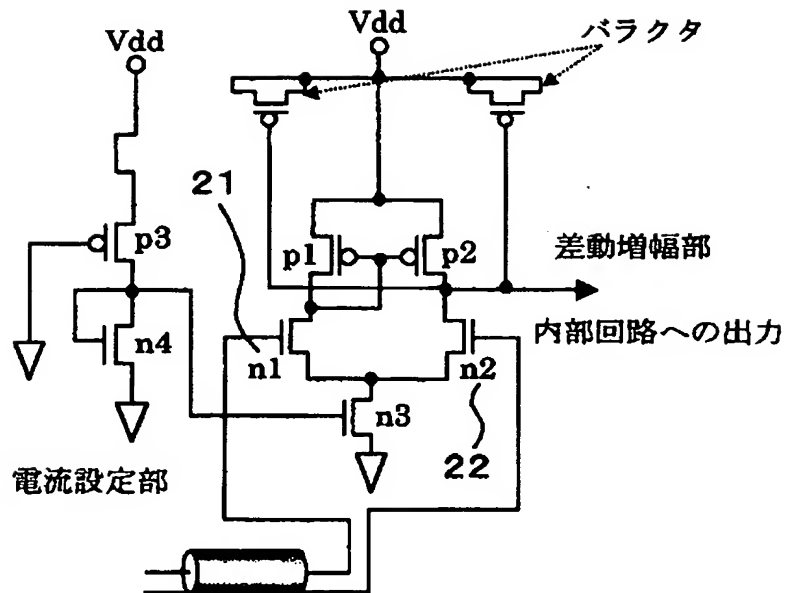
第5図



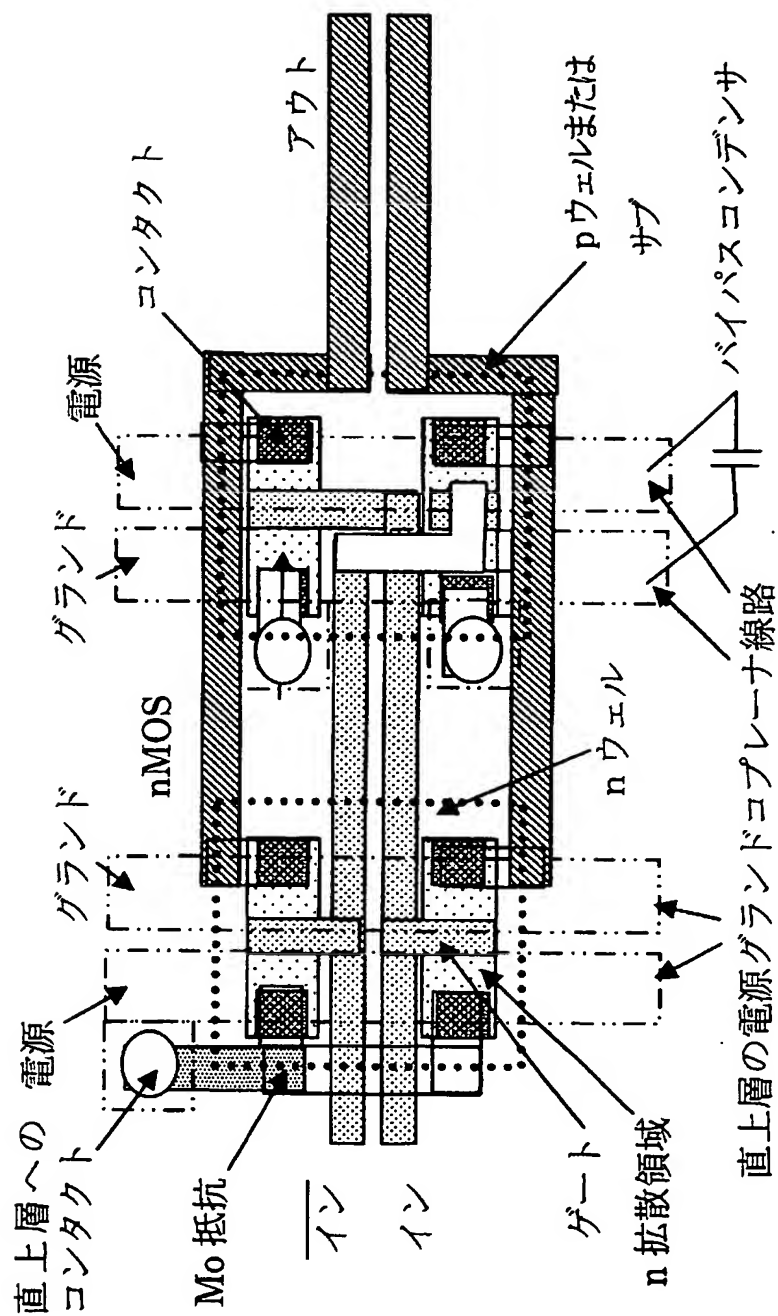
第6図



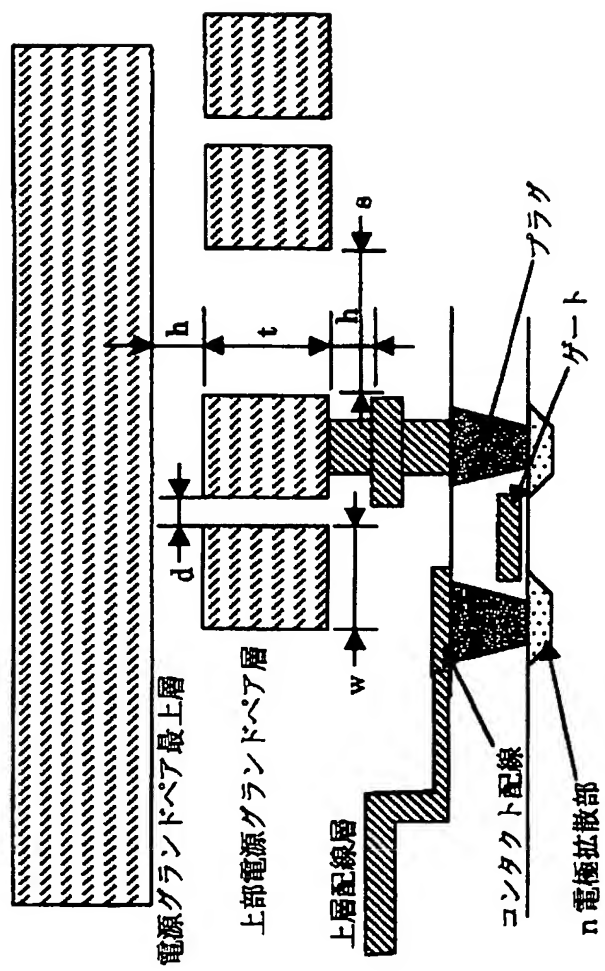
第 7 図



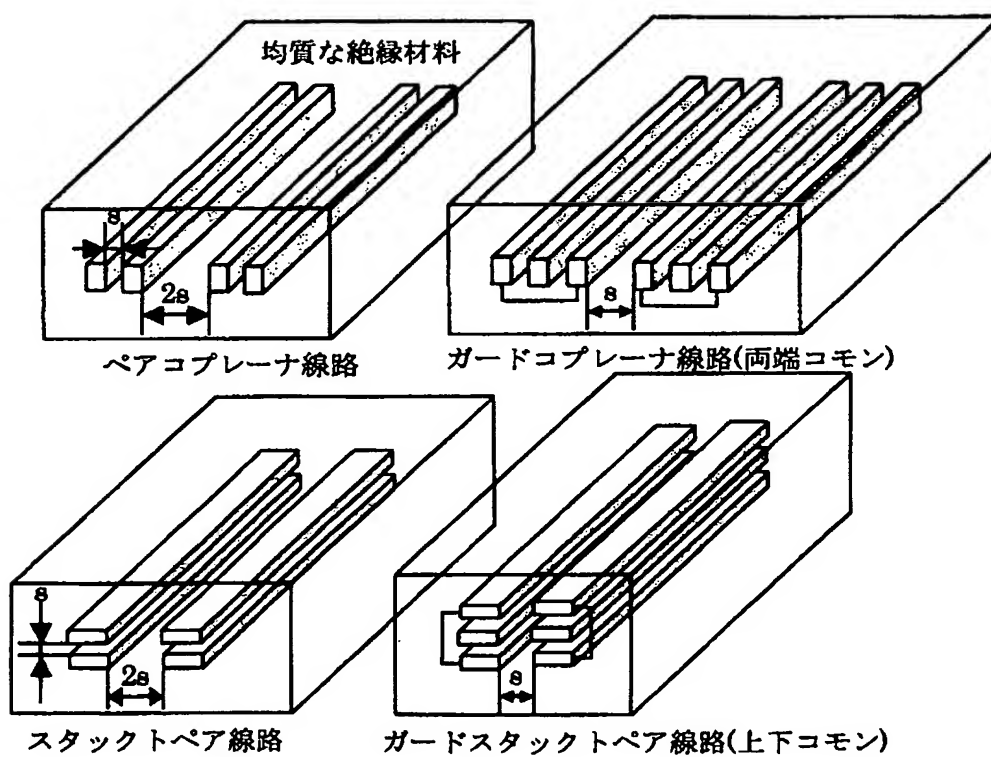
第8図



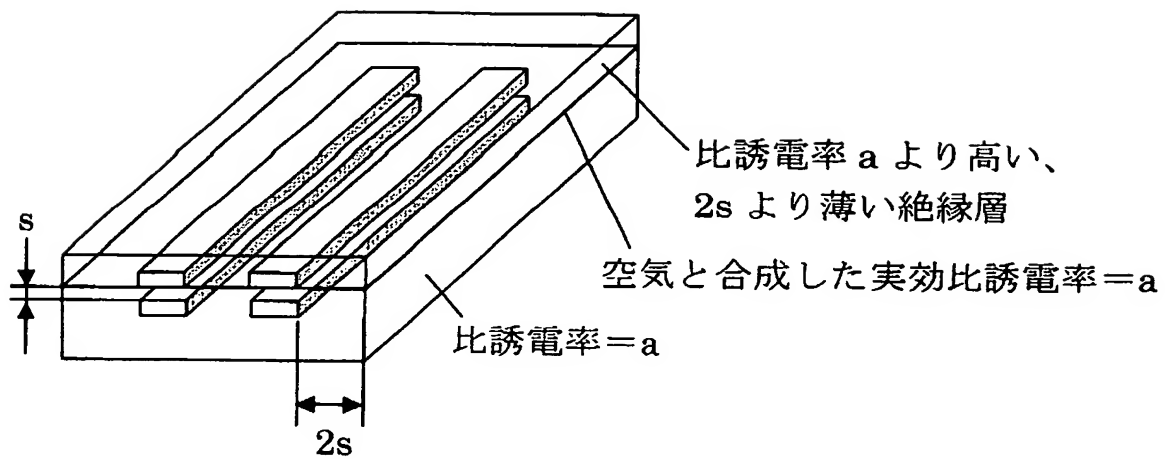
図の無



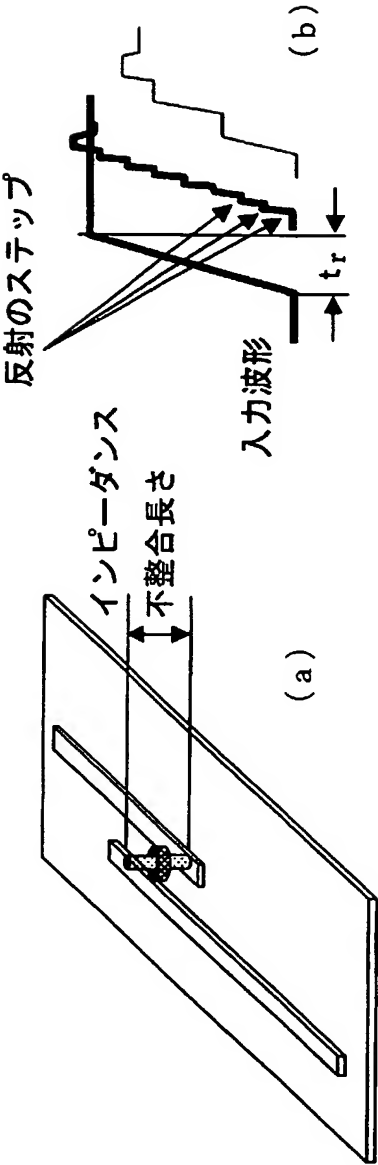
第 10 図



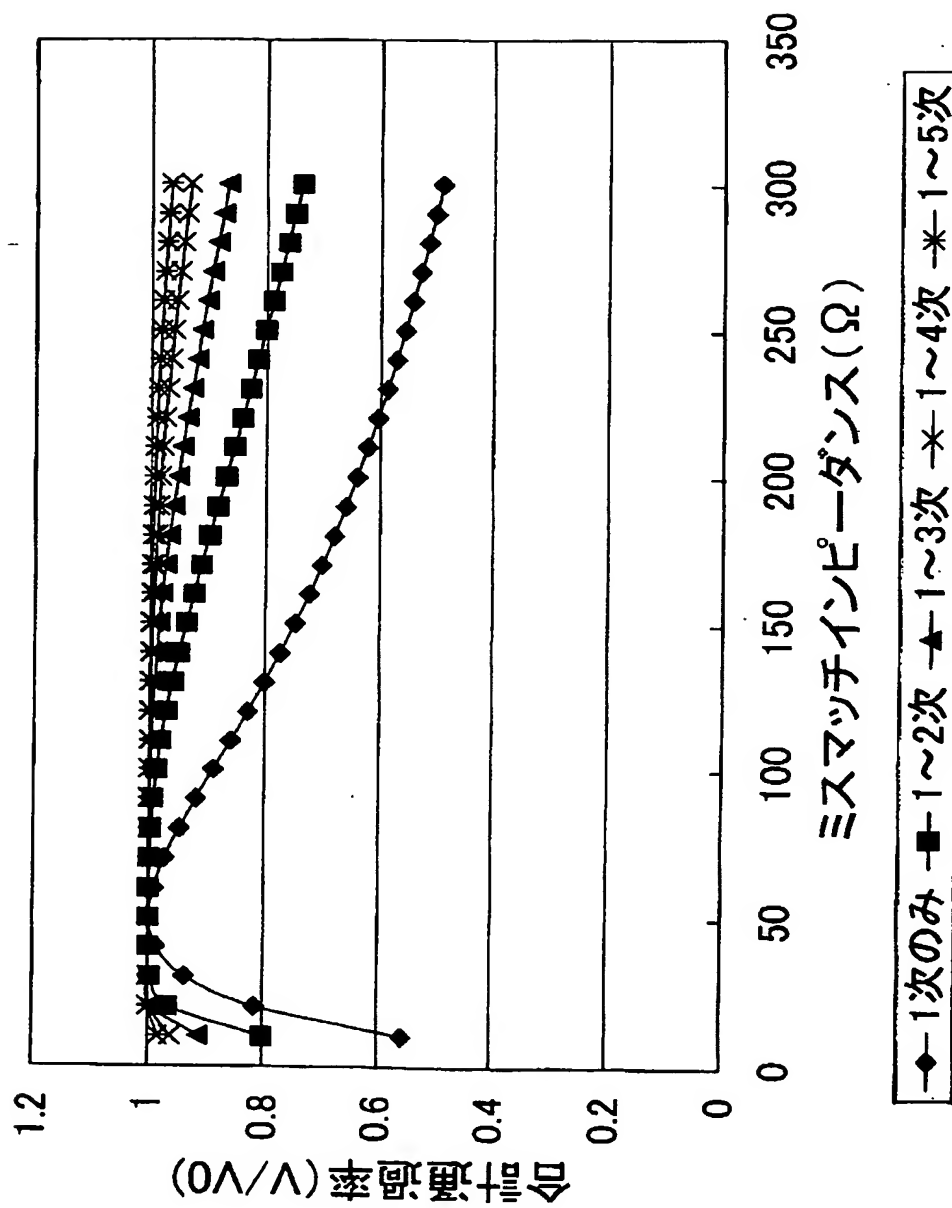
第 1 1 図



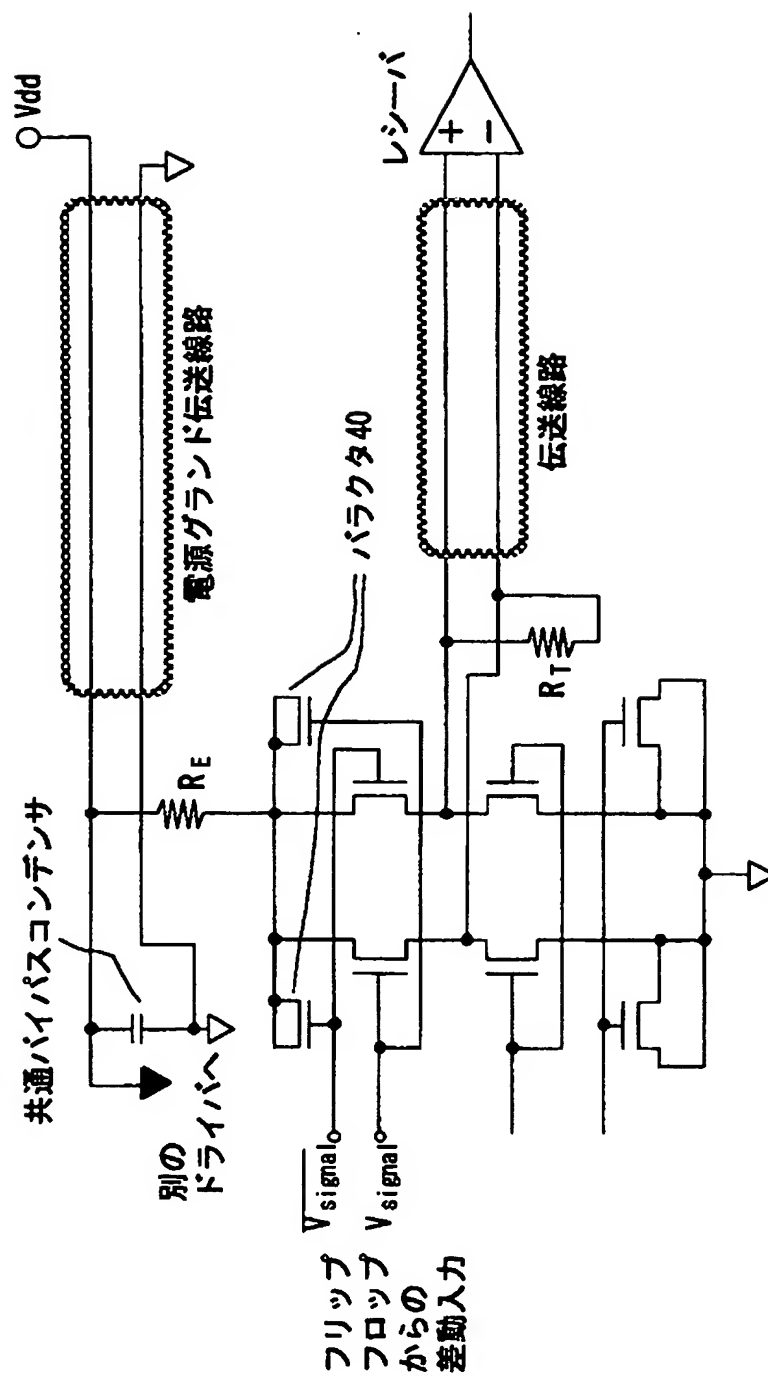
第12図

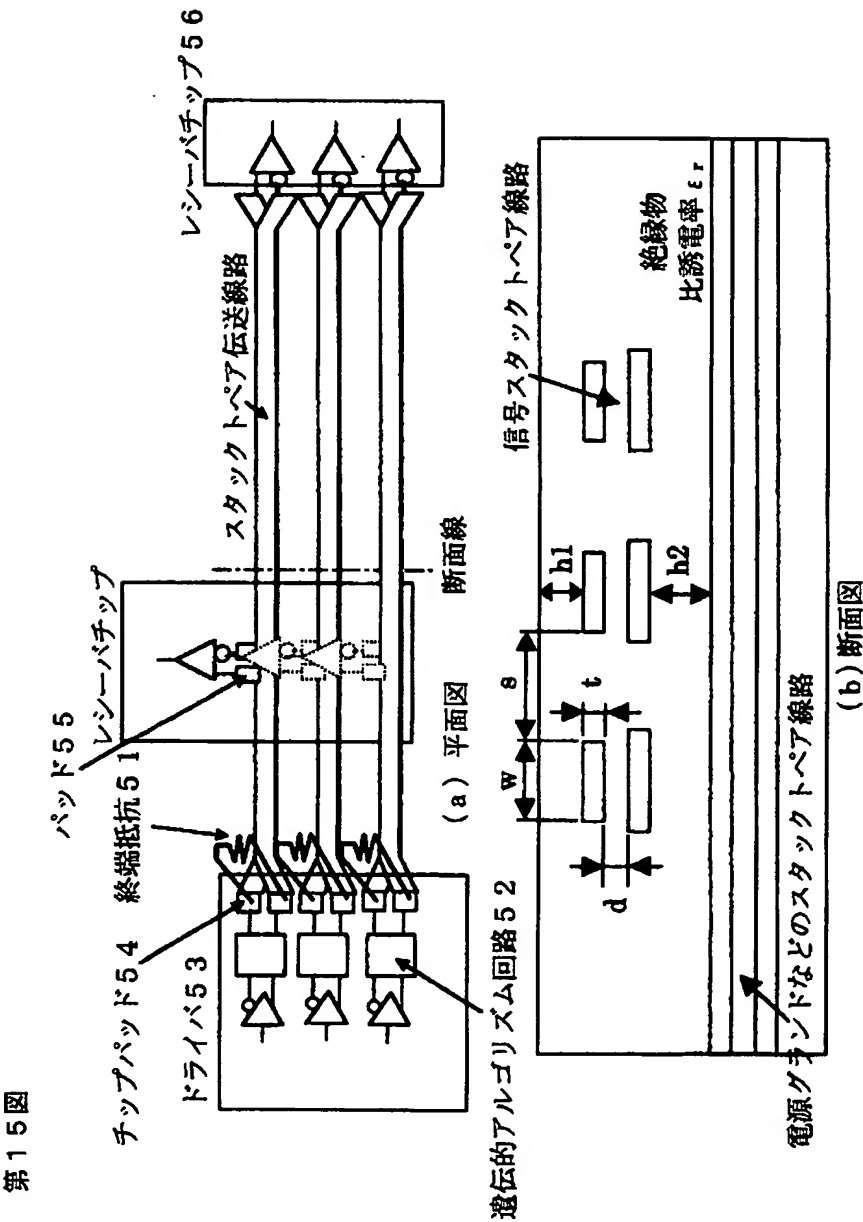


第13図

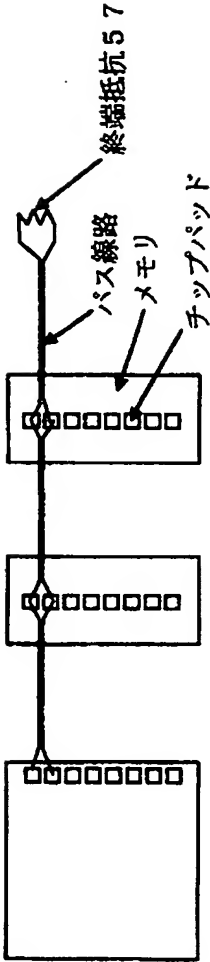


第14図

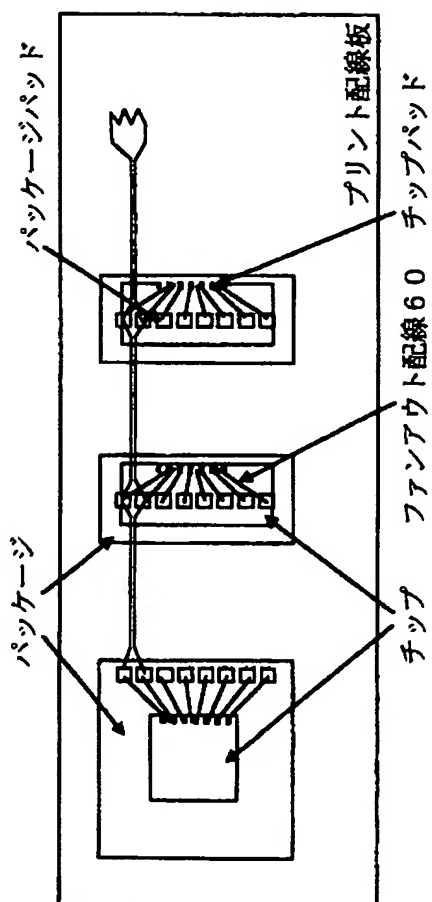




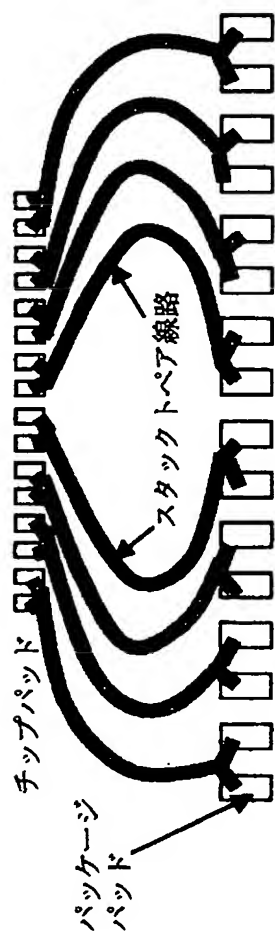
第 16 図



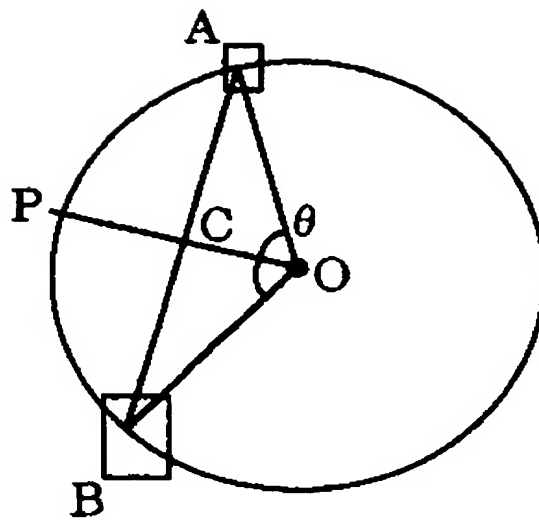
第17圖

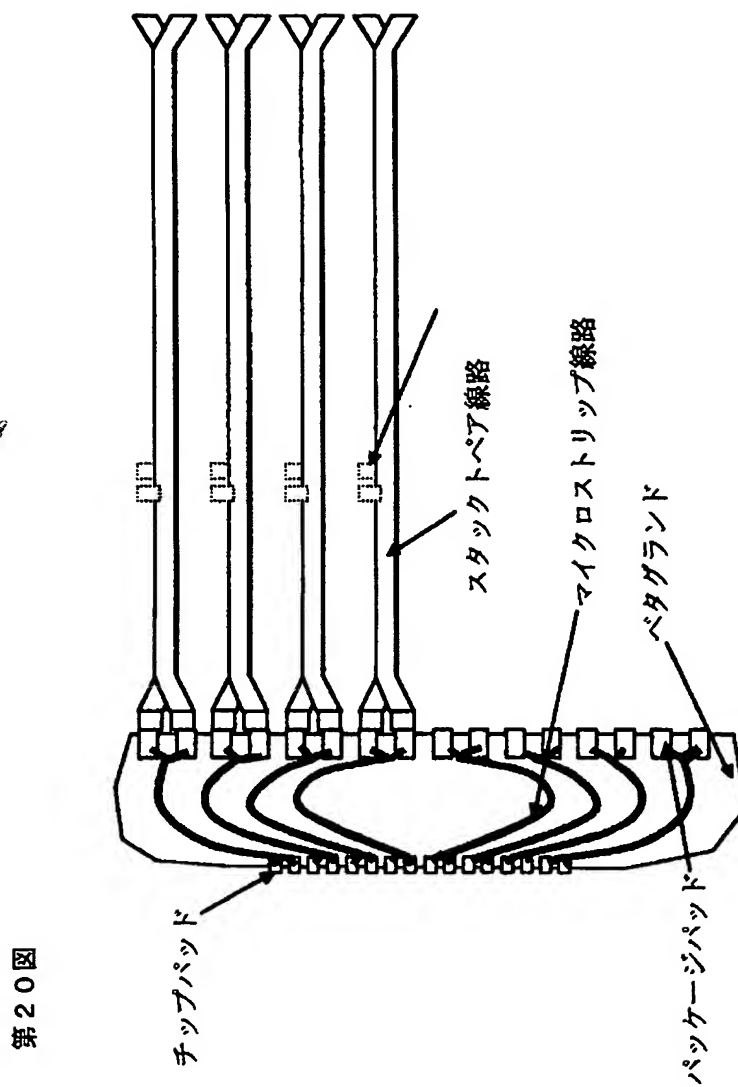


第18図

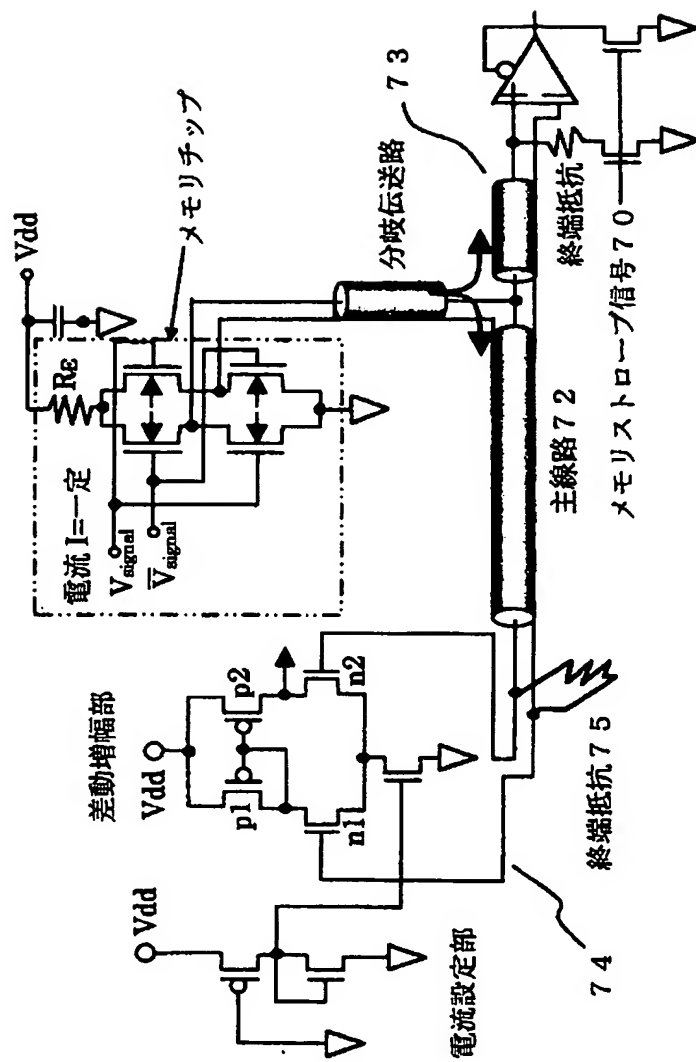


第 19 図

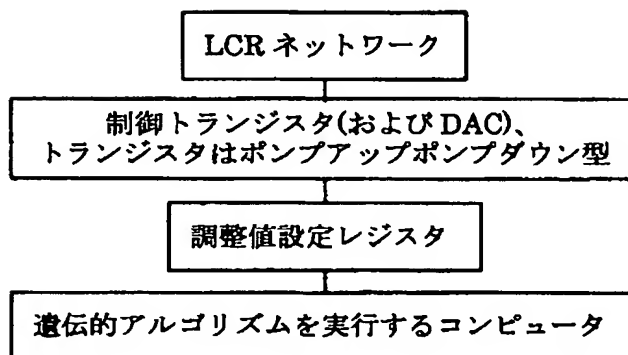




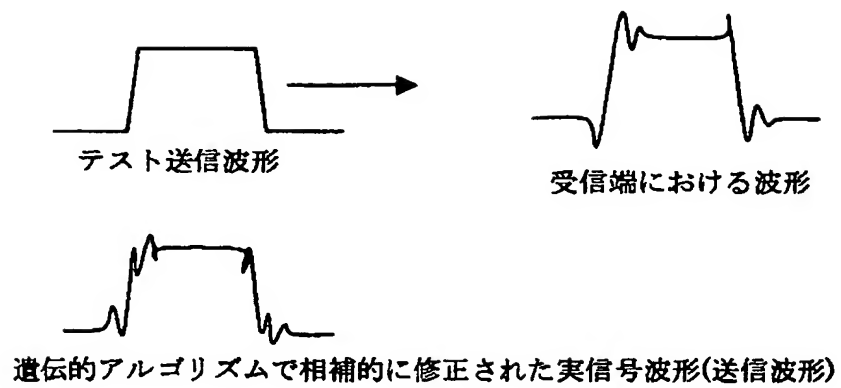
第21図



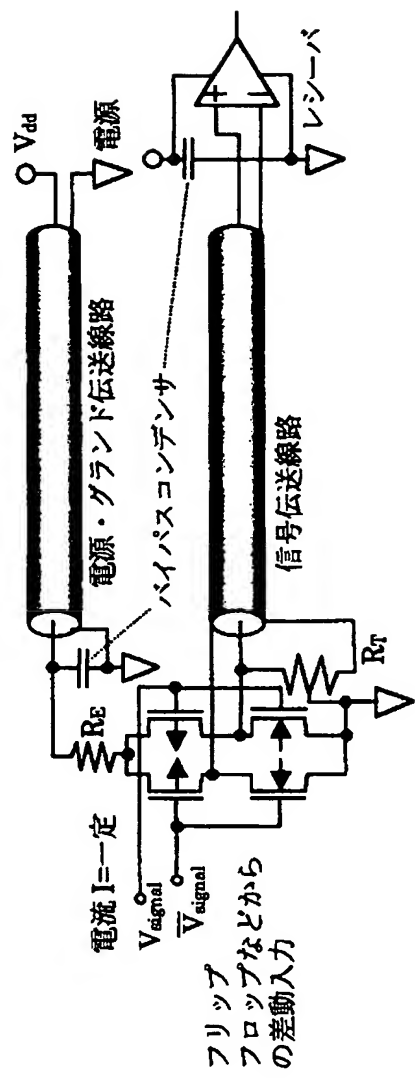
第 2 2 図



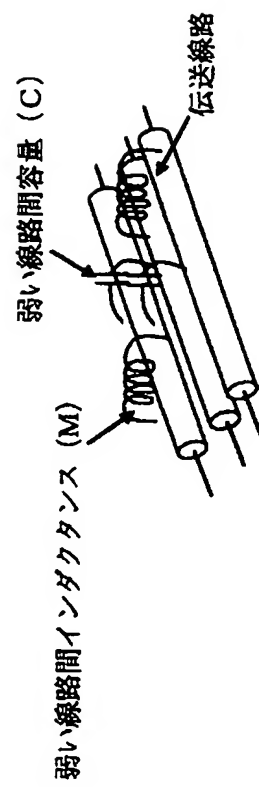
第 23 図



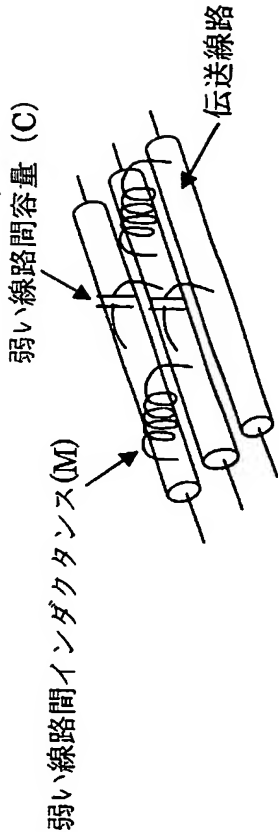
第 2 4 図



第25図



第25図



第 26 図

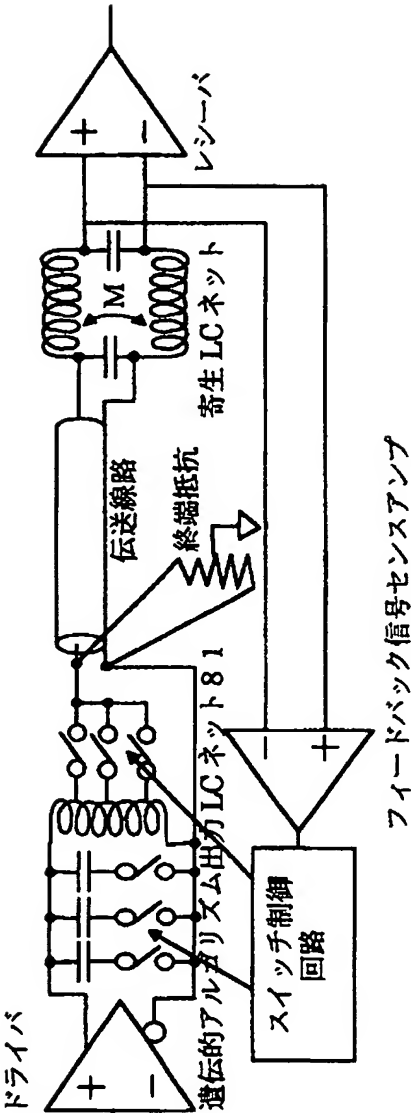
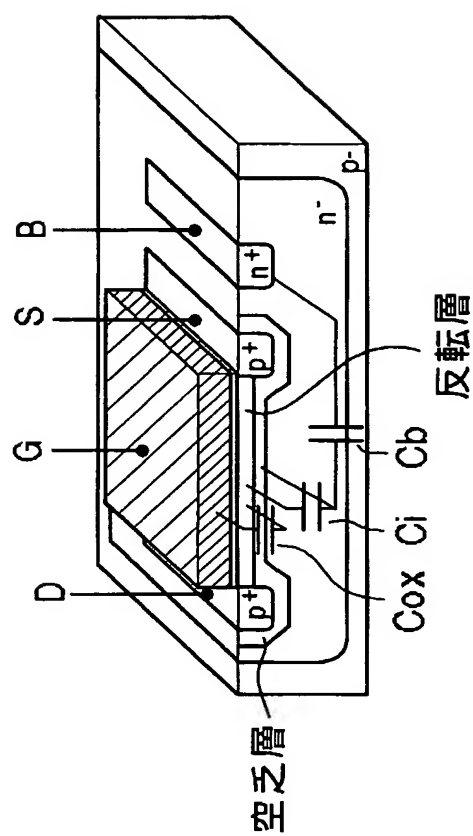


圖 27 第



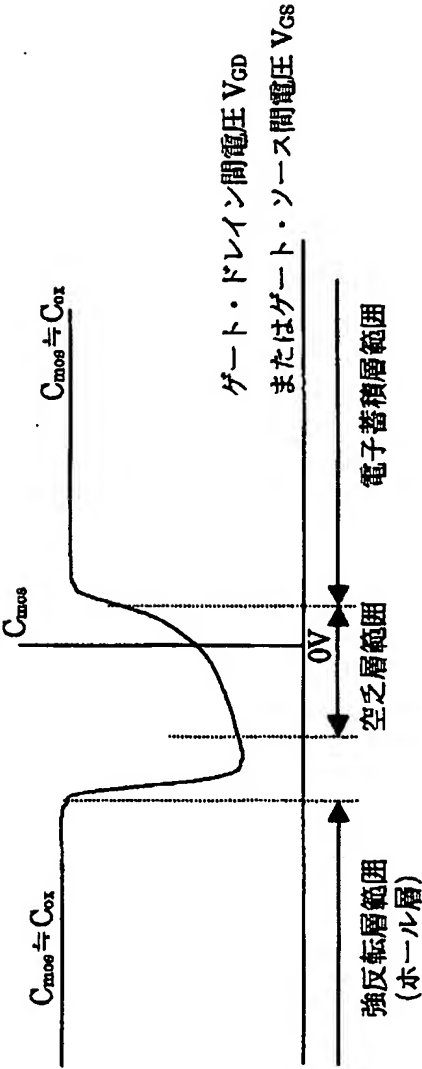
$$1/C_{\text{mos}} = 1/C_{\text{ox}} + 1/C_{\text{i}} + 1/C_{\text{b}}$$

Cox: 絶縁層の容量

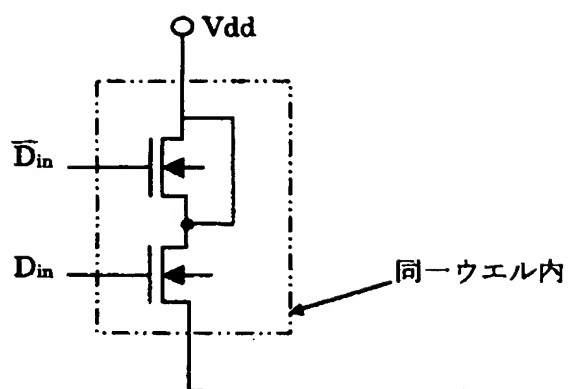
Ci: 反転層直下の空乏層容量

量容量エル: C_b

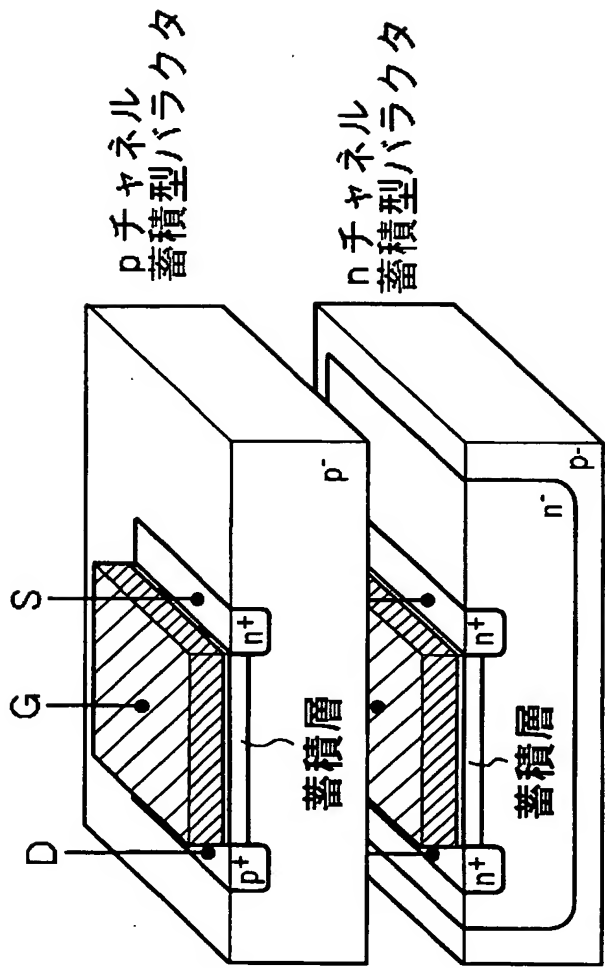
第 28 図



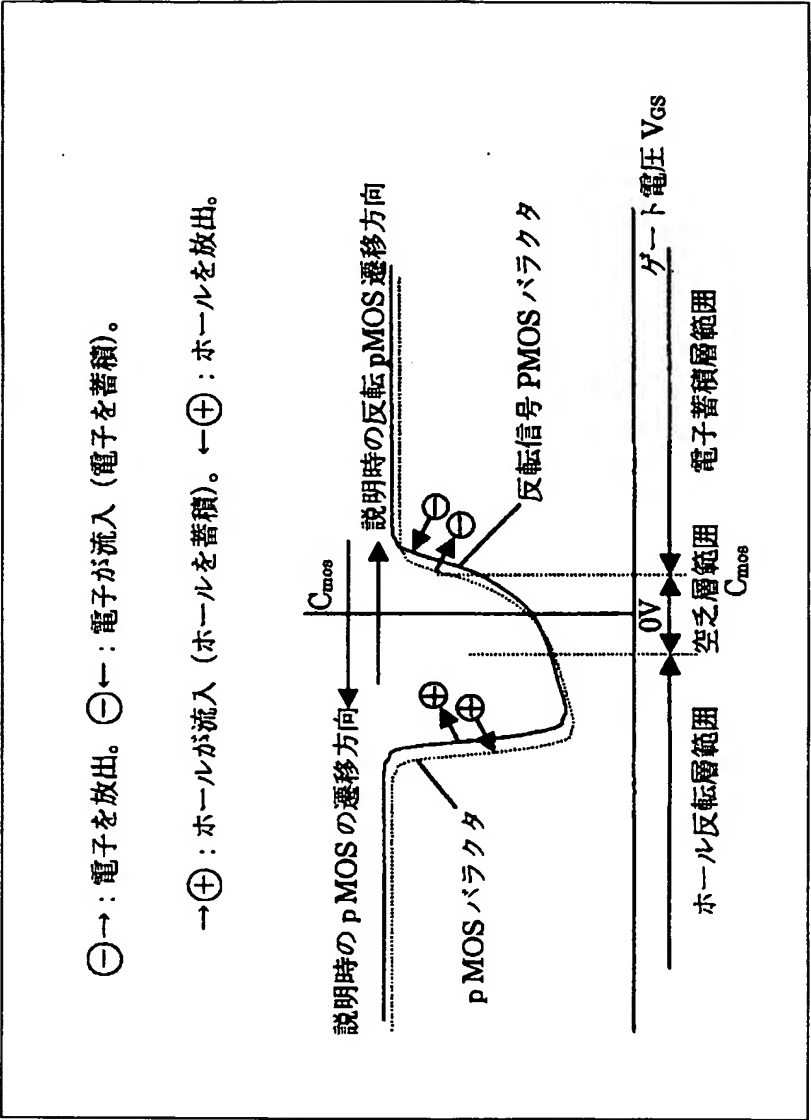
第 29 図



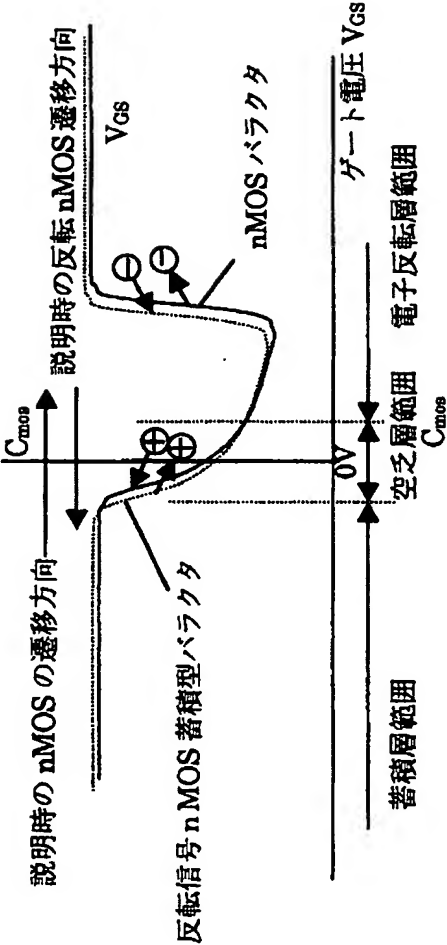
第30図

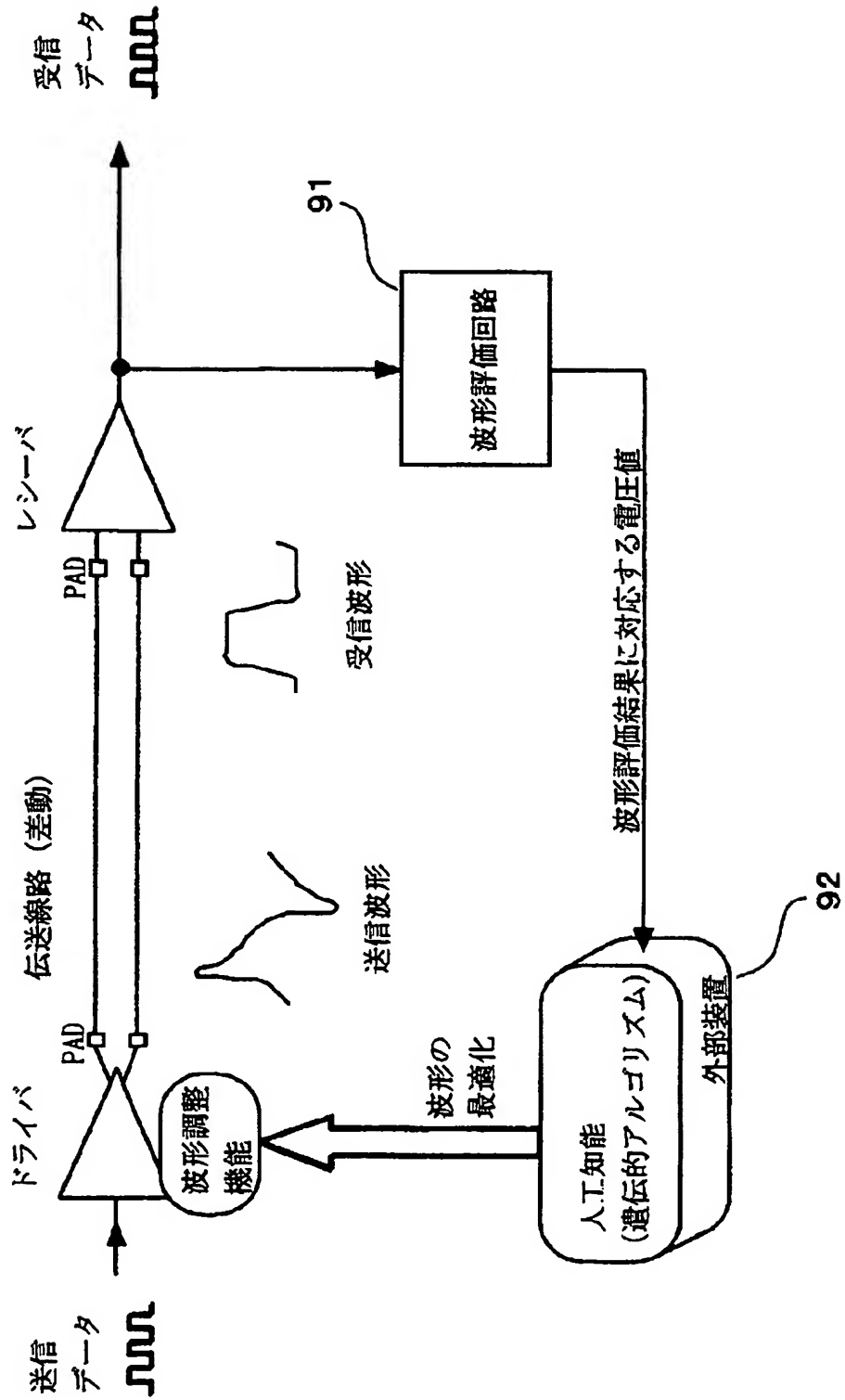


第 3 1 図

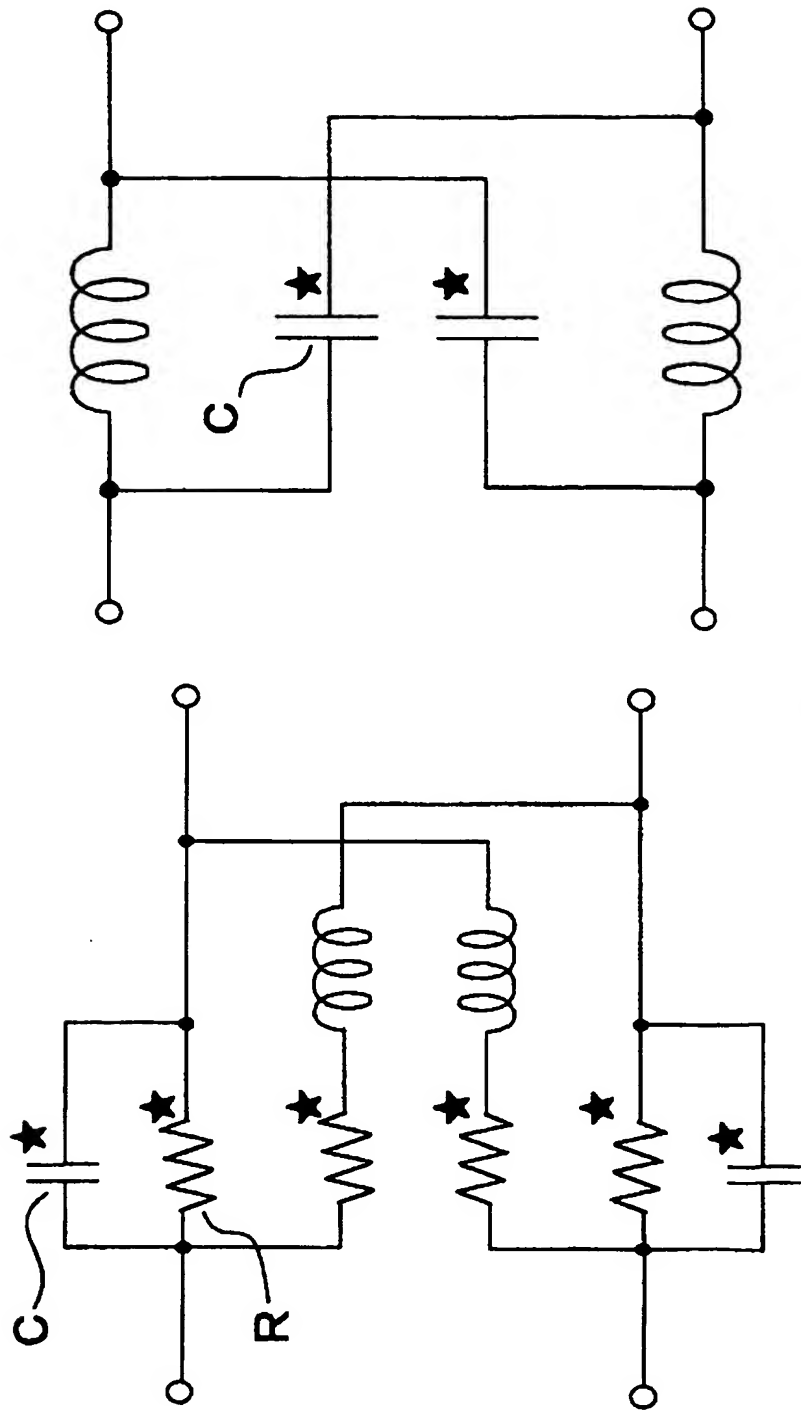


第 3 2 図





第 3 4 図



★: 値が可変

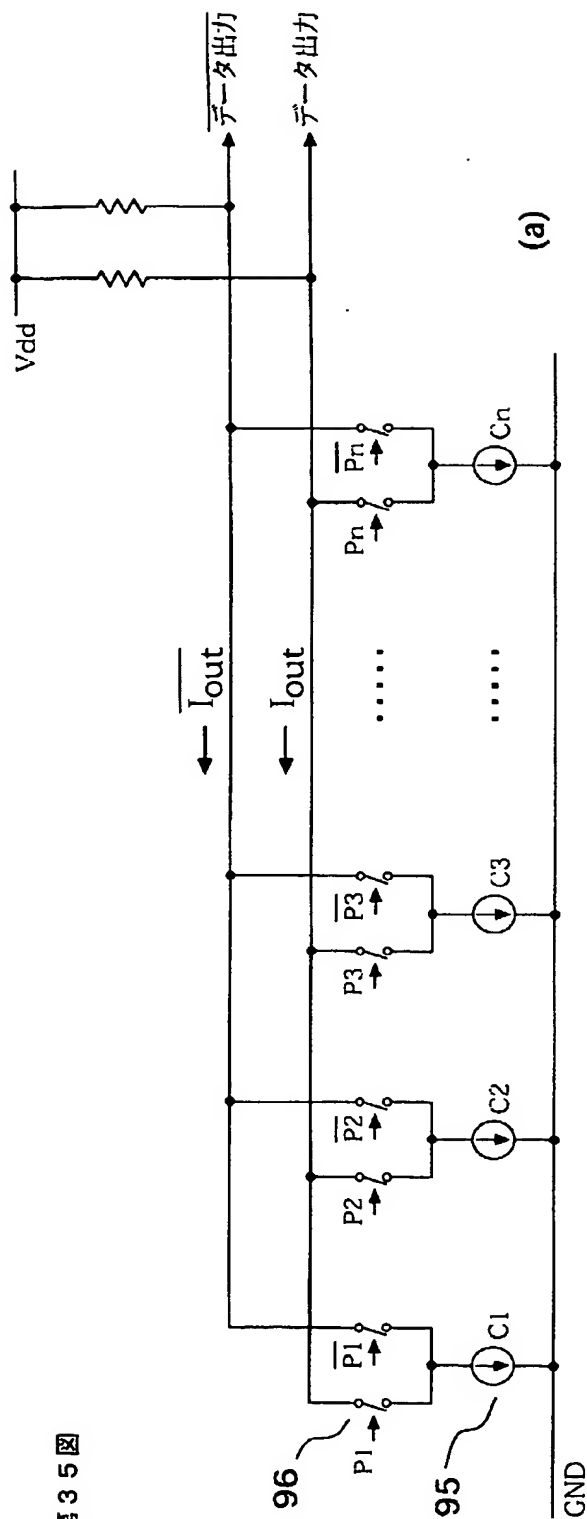
(a)

(b)

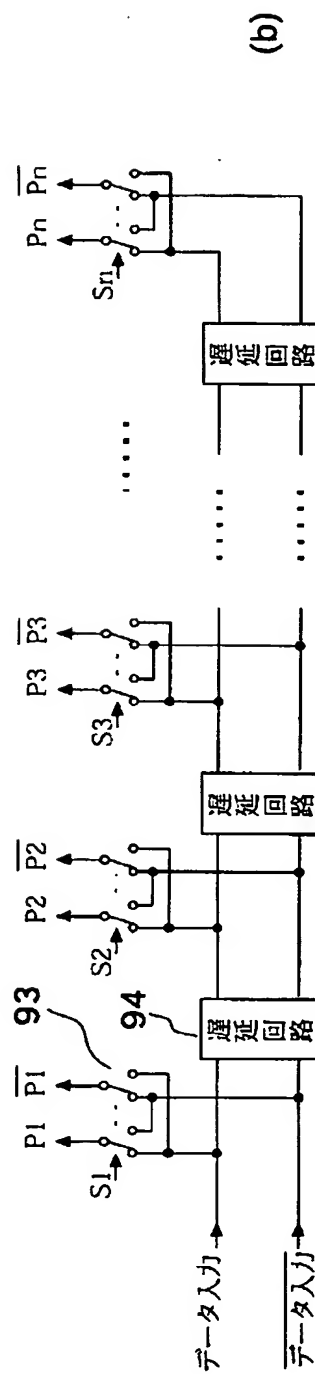
(振幅を主に調整)

(位相を主に調整)

第35図



$C_0 \sim C_n$ は可変（外部からの調整）のアナログの電流値（直流）。



第36図

各スイッチの電流波形と、それぞれの電流を合計した I_{out} の波形：

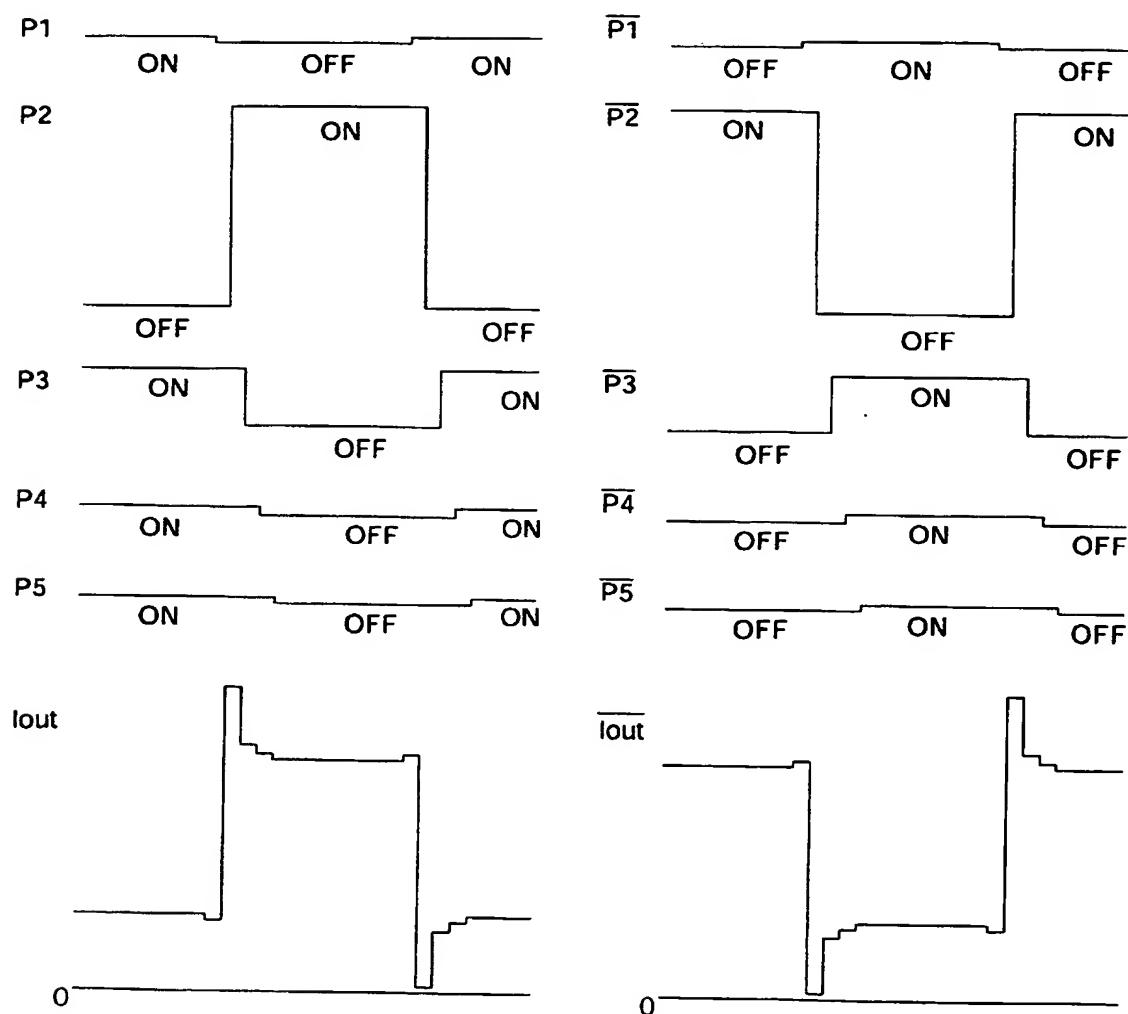
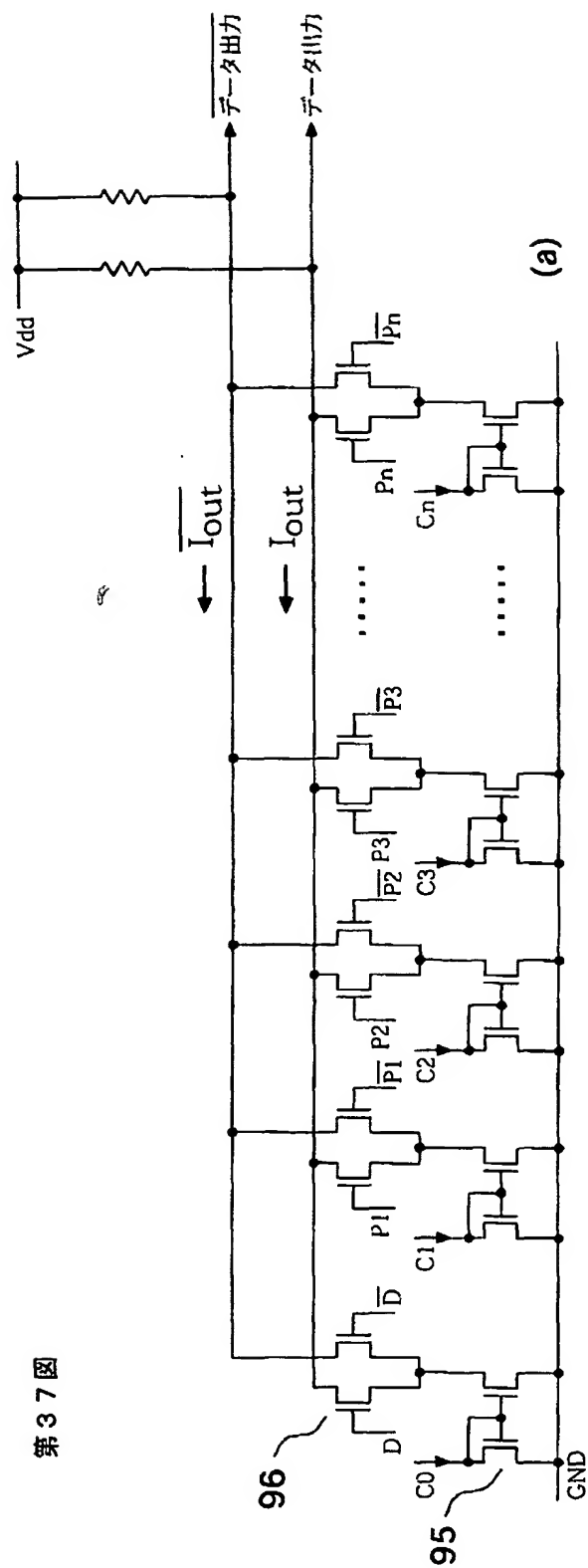
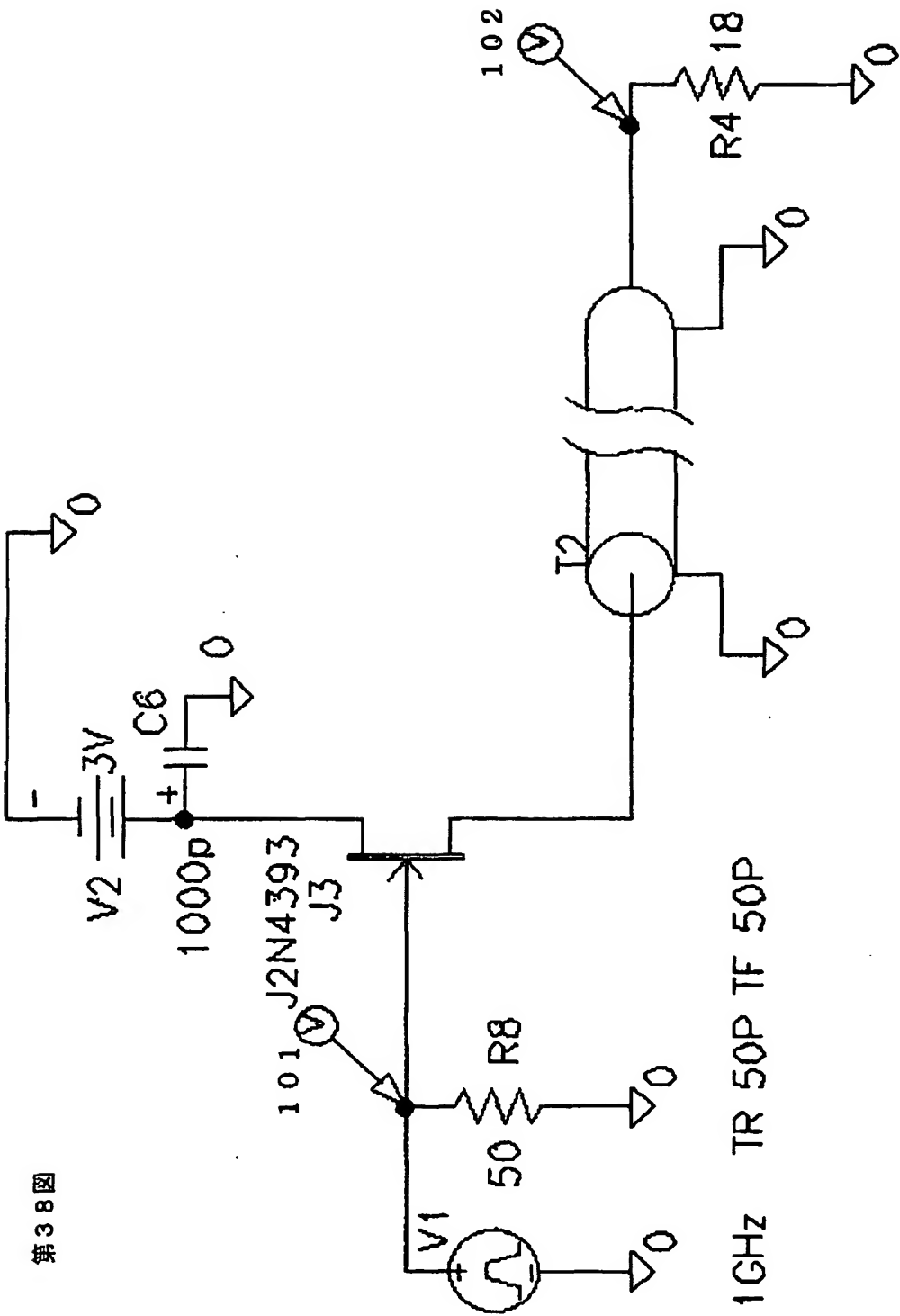


图 37 解

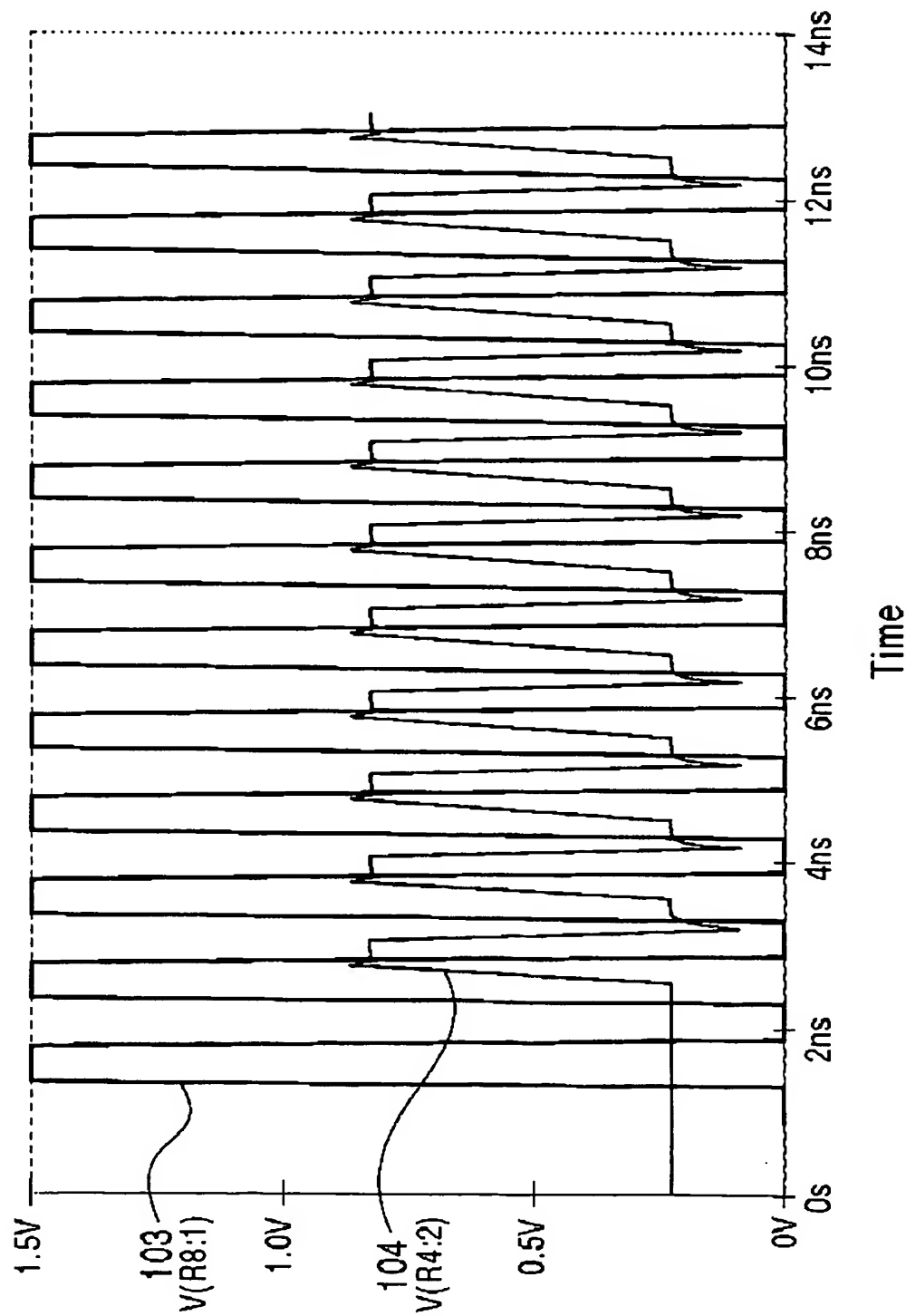




第38图

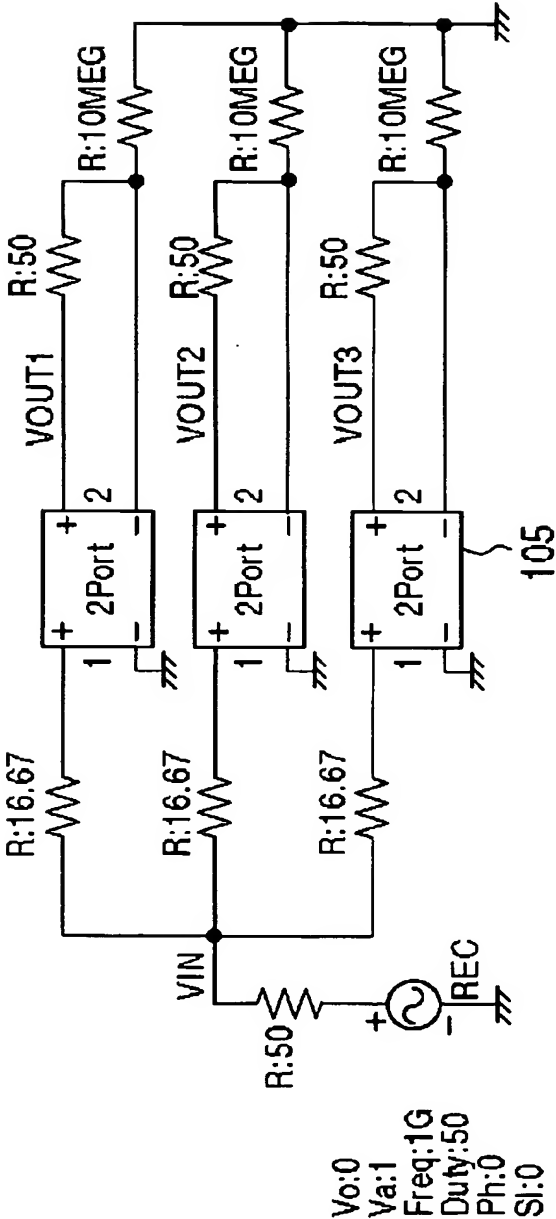
1GHz TR 50P TF 50P

第 39 図

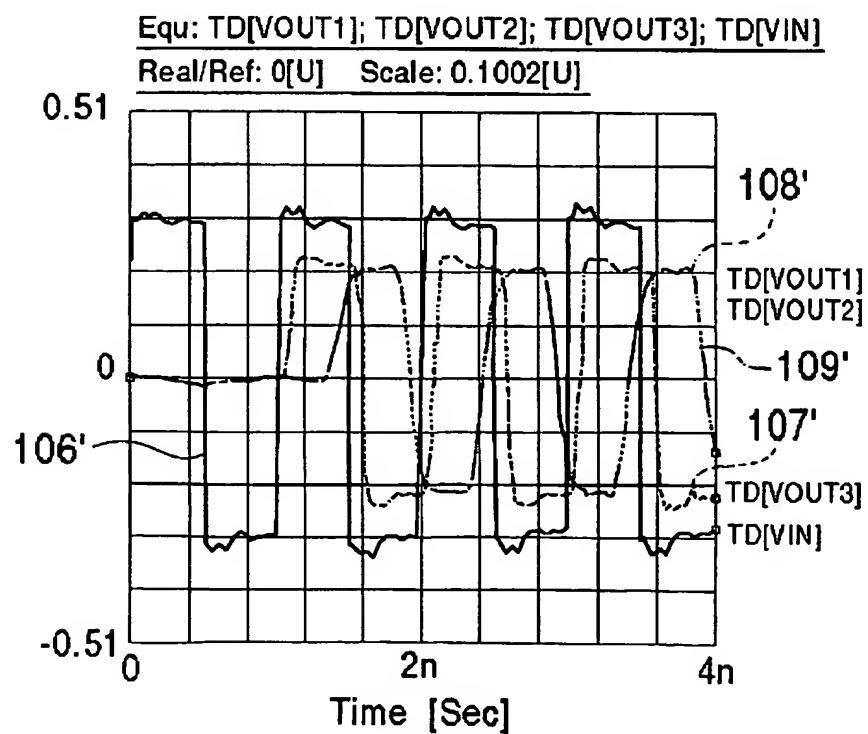
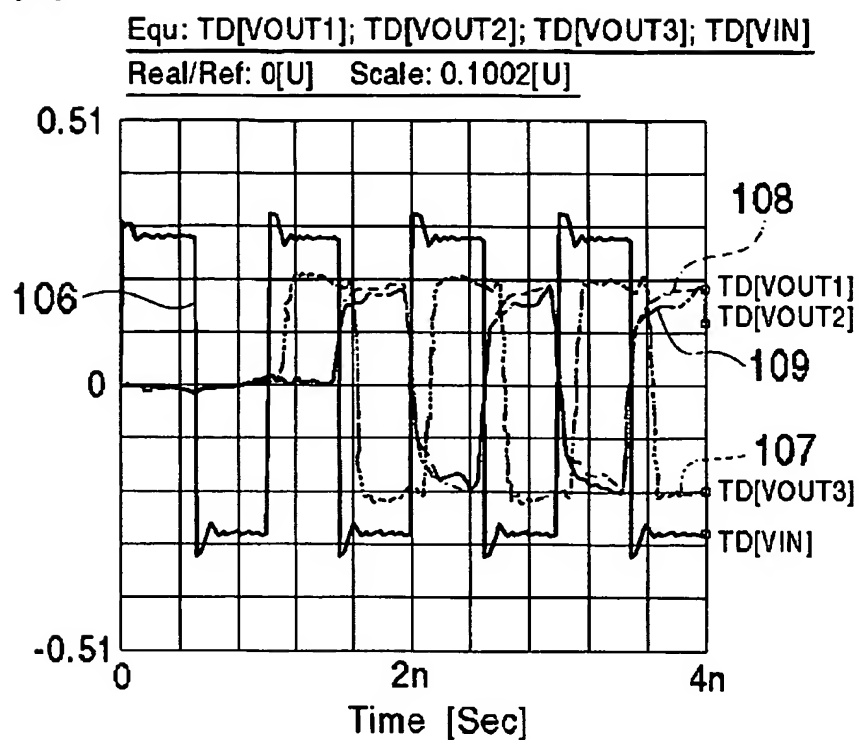


第 40 図

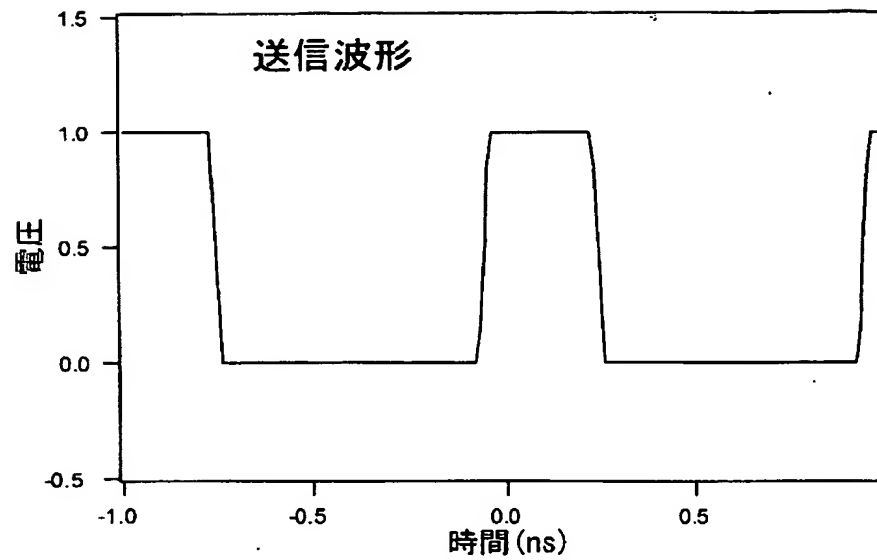
Data:C:\My_Documents\spara\MS_PL_FR4\MS_1_1_2_1.S2P
V:0
I:0
Data:C:\My_Documents\spara\MS_PL_BTREGIN\msbp11s21.s2p
V:0
I:0
Data:C:\My_Documents\spara\aron\Ms11s21.s2p
V:0
I:0



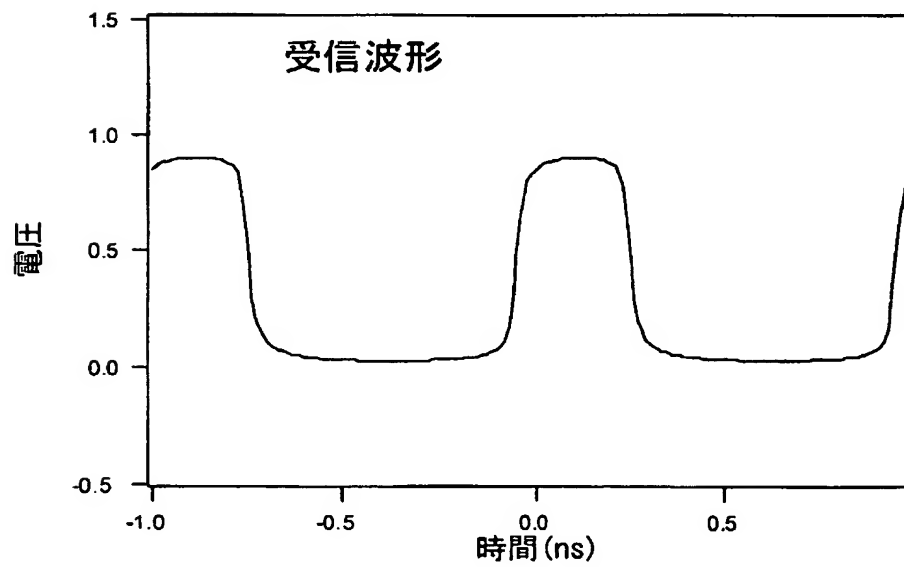
第 41 図



第 4 2 図

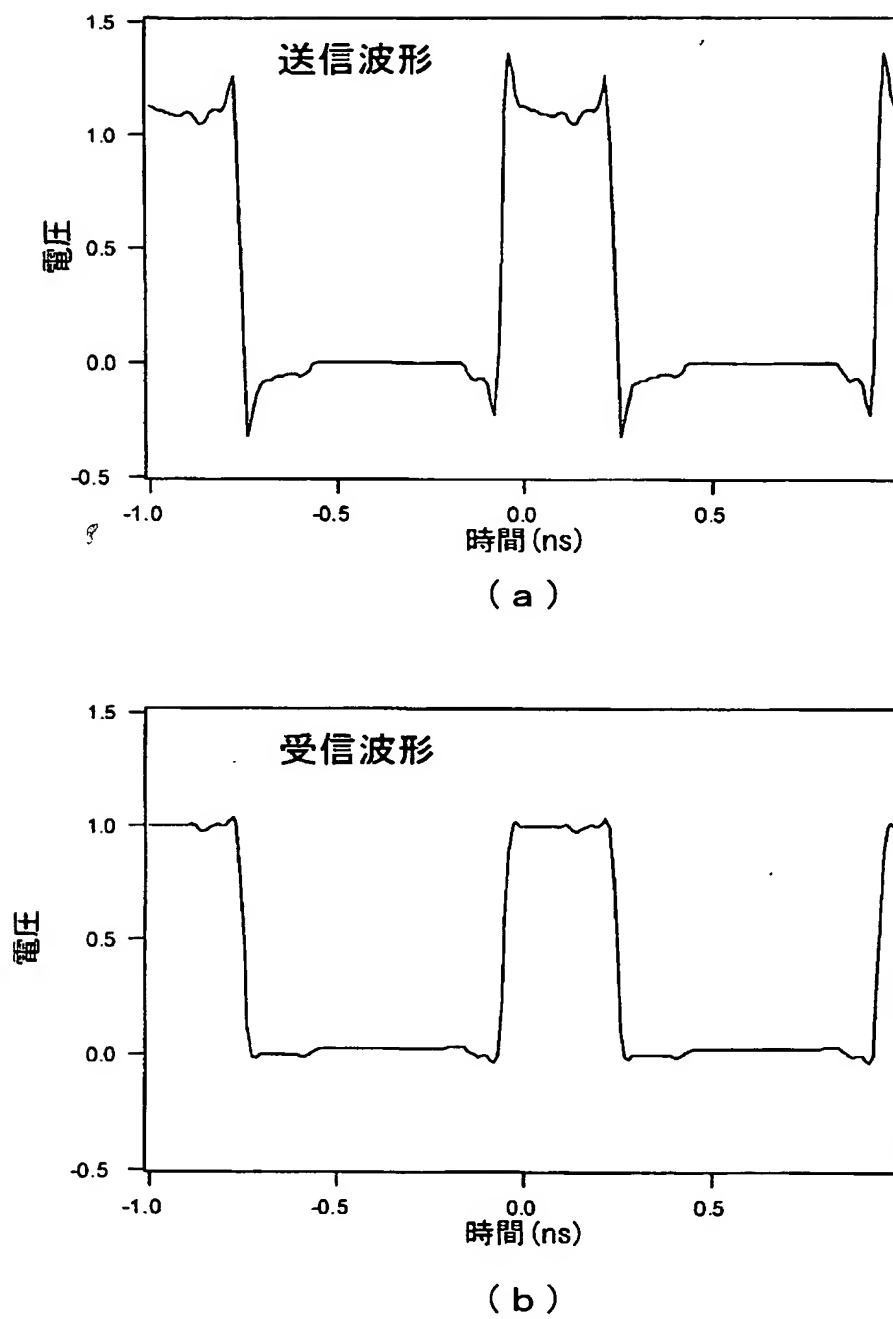


(a)



(b)

第 4 3 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05031

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04B3/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04B3/00, H04B7/00, H01P3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 08-242151 A (Hitachi, Ltd.), 17 September, 1996 (17.09.96), Particularly, Par. Nos. [0031] to [0042] (Family: none)	1 4-8, 10-12
Y	Masahiro MURAKAWA, Yuji KAWANISHI, Eiichi TAKAHASHI, Hidenori SAKANASHI, Nile Marston, Shogo KIRYU, Tetsuya HIGUCHI, "Analog Shinkagata Hardware no Kenkyu Kaihatsu", The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku, Vol.100, No.89, 19 May, 2000 (19.05.00), pages 1 to 8 (AI2000-10)	2, 3
Y	JP 2000-156627 A (Tetsuya HIGUCHI), 06 June, 2000 (06.06.00), Full text; all drawings (Family: none)	2, 3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
29 August, 2003 (29.08.03)

Date of mailing of the international search report
09 September, 2003 (09.09.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Isamu KAJITANI, Chikara HOSHINO, Masahiro MURAKAWA, Tetsuya HIGUCHI, "GA ni yoru Neural Network no Kozo Gakushu-yo Kairo no Jitsugen", The Brain & Neural Networks, Vol.5, No.4, 05 December, 1998 (05.12.98), pages 145 to 153	2, 3
Y	JP 2001-211211 A (Kanji OTSUKA), 03 August, 2001 (03.08.01), Particularly, Par. No. [0089]; Figs. 16, 22 & US 2001/0013075 A1 & DE 10101066 A1 & FR 2811099 A1 & KR 2001083128 A	4-8, 10-12
Y	JP 11-284126 A (Kanji OTSUKA), 15 October, 1999 (15.10.99), Particularly, Par. No. [0156] & DE 19914305 A1 & FR 2782812 A1 & US 6522173 B1 & US 2003/0090291 A1	10
Y	JP 2000-174505 A (Kanji OTSUKA), 23 June, 2000 (23.06.00), Particularly, Fig. 3; Par. Nos. [0049] to [0055] & FR 2786961 A1 & DE 19959164 A1 & KR 2000052441 A & US 6373275 B1 & TW 487847 A	7, 8
Y	JP 2000-210959 A (Kanji OTSUKA), 03 August, 2001 (03.08.01), Particularly, Par. No. [0083] & US 2001/0010272 A1 & DE 10103807 A1 & KR 2001077990 A1 & US 6476330 B2 & TW 495955 A	10
Y	JP 08-288891 A (Oki Electric Industry Co., Ltd.), 01 November, 1996 (01.11.96), Particularly, Fig. 1; Par. No. [0012] (Family: none)	11
Y	Ken'ichi ITO, 'Noise to Fuyo Fukusha no Hanashi', The Nikkan Kogyo Shinbun, Ltd., 28 July, 1998 (28.07.98), pages 74 to 88	11
Y	US 2002/0044012 A1 (Kanji OTSUKA), 18 April, 2002 (18.04.02), Particularly, Fig. 1 & DE 10149691 A1 & JP 2002-124635 A & KR 2002030028 A & TW 507360 A	13, 14
Y	JP 2000-196018 A (Toshiba Corp.), 14 July, 2000 (14.07.00), Full text; all drawings (Family: none)	13, 14

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/05031

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-511943 A (Actel Corp.), 12 October, 1999 (12.10.99), Particularly, page 12, lines 11 to 18 & WO 97/50176 A1 & EP 847624 A1 & US 5952847 A & KR 99044040 A	14
A	JP 04-373202 A (Nippon Telegraph And Telephone Corp.), 25 December, 1992 (25.12.92), (Family: none)	9
A	JP 09-326608 A (Murata Mfg. Co., Ltd.), 16 December, 1997 (16.12.97), (Family: none)	9
A	JP 04-167703 A (Murata Mfg. Co., Ltd.), 15 June, 1992 (15.06.92), (Family: none)	9
A	Eikichi YAMASHITA, Hideyuki OHASHI and Kazuhiko ATSUKI "SIMPLE CAD FORMULAS OF EDGE-COMPENSTAED MICROSTRIP LINES", 1989 IEEE MTT-S International Microwave Symposium Digest, (13-15 June 1989), pages 339 to 342	9
E,Y	JP 2002-300091 A (National Institute of Advanced Industrial Science and Technology), 11 October, 2002 (11.10.02), (Family: none)	2,3
E,X	JP 2003-224462 A (Kanji OTSUKA), 08 August, 2003 (08.08.03), (Family: none)	1-14

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/05031

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(See extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☒ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.II of continuation of first sheet(1)

1. Documents referenced

- Document 1. JP 08-242151 A (Hitachi Ltd.), 17 September, 1996
Document 2. JP 2001-211211 A (OTUAKA Hiroharu), 03 August, 2001

2. Explanation

The technical feature common to claims 1-14 is the technical feature disclosed in claim 1.

However, document 1, paragraph 0031 discloses to obtain a square wave pulse width and amplitude required for a transmission line loss compensation (which corresponds to the "adjustment circuit for shaping a transmission waveform" and "the adjustment circuit is adjusted so that the waveform at the reception end is preferable" in claim 1 of the present application) and document 1, paragraphs 00335 and 0042 disclose that "a waveform lost in the transmission line is calculated by a digitizing device and a calculation device 18 arranged at the transmission line end 9a and the transmission waveform is adjusted according to the calculation result (which corresponds to the "analyzing/detecting trouble of signal transmission on the line by a waveform analysis circuit"). Accordingly, the invention of claim 1 is not novel nor is considered to involve an inventive step. As a result, the technical feature of claim 1 cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Claims 2, 4, 5 referring directly to claim 1 has no common technical feature other than the technical feature of claim 1.

Furthermore, the technical feature of claim 5 is disclosed in document 2, especially in Fig. 16. Accordingly, the technical feature of claim 5 is not considered to involve an inventive step because it is disclosed in document 1 and document 2. As a result, the technical feature of claim 5 cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Claims 6, 7, 8, 9, 10, 11, 12 referring directly to claim 5 has no common feature other than the technical feature of claim 5.

Consequently, claims 1-14 do not satisfy the requirement of unity of invention and are divided into the following 9 groups.

- Group 1: claims 1-3
- Group 2: claim 4
- Group 3: claims 5, 6
- Group 4: claim 7
- Group 5: claim 8
- Group 6: claim 9
- Group 7: claim 10
- Group 8: claim 11
- Group 9: claims 12-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷
H04B 3/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷
H04B 3/00 H04B 7/00 H01P 3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 08-242151 A (株式会社日立製作所), 1996.09.17, 特に第0031段落から第0042段落参 照, (ファミリーなし)	1 4-8, 10-12
Y	村川 正宏, 河西 勇二, 高橋 栄一, 坂無 英徳, ニール マースト ン, 桐生 昭吾, 樋口 哲也, “アナログ進化型ハードウェアの研究 開発”, 電子情報通信学会技術研究報告, Vol. 100, No. 89, (2000 年5月19日), pp. 1-8 (AI2000-10)	2, 3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

29.08.03

国際調査報告の発送日

09.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

丸山 高政

5 J

9570

電話番号 03-3581-1101

内線 3535

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-156627 A (樋口 哲也) 2000. 06. 06, 全文全図参照, (ファミリーなし)	2, 3
A	梶谷 勇, 星野 力, 村川 正宏, 樋口 哲也, “GAによるニューラルネットワークの構造学習用回路の実現”, 日本神経回路学会誌, Vol. 5, No. 4, (1998年12月5日), pp. 145-153	2, 3
Y	JP 2001-211211 A (大塚 寛治), 2001. 08. 03, 特に第0089段落、図16及び図22参照 & US 2001/0013075 A1 & DE 10101066 A1 & FR 2811099 A1 & KR 2001083128 A	4-8, 10-12
Y	JP 11-284126 A (大塚 寛治) 1999. 10. 15, 特に第0156段落参照 & DE 19914305 A1 & FR 2782812 A1 & US 6522173 B1 & US 2003/0090291 A1	10
Y	JP 2000-174505 A (大塚 寛治) 2000. 06. 23, 特に図3及び第0049段落から第0055段落参照 & FR 2786961 A1 & DE 19959164 A1 & KR 2000052441 A & US 6373275 B1 & TW 487847 A	7, 8
Y	JP 2001-210959 A (大塚 寛治) 2001. 08. 03, 特に第0083段落参照 & US 2001/0010272 A1 & DE 10103807 A1 & KR 2001077990 A1 & US 6476330 B2 & TW 495955 A	10
Y	JP 08-288891 A (沖電気工業株式会社) 1996. 11. 01, 特に図1及び第0012段落参照, (ファミリーなし)	11
Y	伊藤 健一, 「ノイズと不要輻射のはなし」, 日刊工業新聞社, (1998年7月28日), pp. 74-88 《続葉あり》	11

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 2002/0044012 A1 (Kanji Otsuka) 2002. 04. 18, 特にFig.1参照 & DE 10149691 A1 & JP 2002-124635 A & KR 2002030028 A & TW 507360 A	13, 14
Y	JP 2000-196018 A (株式会社東芝) 2000. 07. 14, 全文全図参照, (ファミリーなし)	13, 14
Y	JP 11-511943 A (アクテル・コーポレーション) 1999. 10. 12, 特に第12頁第11行から第18行参照 & WO 97/50176 A1 & EP 847624 A1 & US 5952847 A & KR 99044040 A	14
A	JP 04-373202 A (日本電信電話株式会社) 1992. 12. 25, (ファミリーなし)	9
A	JP 09-326608 A (株式会社村田製作所) 1997. 12. 16, (ファミリーなし)	9
A	JP 04-167703 A (株式会社村田製作所) 1992. 06. 15, (ファミリーなし)	9
A	Eikichi Yamashita, Hideyuki Ohashi and Kazuhiko Atsuki, "SIMPLE CAD FORMULAS OF EDGE-COMPENSTAED MICROSTRIP LINES," 1989 IEEE MTT-S International Microwave Symposium Digest, (13-15 June 1989), pp.339-342	9
EY	JP 2002-300091 A (独立行政法人産業技術総合研究所) 2002. 10. 11, (ファミリーなし)	2, 3
EX	JP 2003-224462 A (大塚 寛治) 2003. 08. 08, (ファミリーなし)	1-14

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

別紙参照

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☒ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

《別紙》

1. 参照する文献

- 文献1. JP 08-242151 A (株式会社日立製作所), 1996.09.17
文献2. JP 2001-211211 A (大塚寛治), 2001.08.03

2. 説明

請求の範囲1-14に共通の事項は、請求の範囲1に記載の事項である。

しかしながら、文献1の第0031段落には、伝送線路の損失補償に必要な方形波のパルス幅及び振幅を求めること（本願請求の範囲1における「送信波形を成形する調整回路」及び「受信端の波形が良好となるように該調整回路が調整されること」に相当）が開示され、かつ、文献1の第0035段落及び第0042段落には、伝送線路により損失を受けた波形を、伝送線路端9aに設けたデジタイジング装置及び演算装置18で求め、これに基づいて送信波形を調整すること（本願請求の範囲1における「線路の信号伝送に対する不具合を波形分析回路により分析検出」することに相当）が開示されている。してみれば、本願請求の範囲1に係る発明は文献1によりその新規性又は進歩性を否定されるものであるから、結果としてPCT規則13.2の第2文の意味において、請求の範囲1に記載の事項は特別な技術的特徴ではない。

そして、請求の範囲1を直接引用する請求の範囲2、4、5には、請求の範囲1に記載の事項以外に共通の事項は存在しない。

さらに、請求の範囲5に記載の事項は、文献2の特に図16に開示されているので、請求の範囲5に記載の事項は、文献1及び文献2によって進歩性を否定されるものである。結果として、PCT規則13.2の第2文の意味において、請求の範囲5に記載の事項は特別な技術的特徴ではない。

そして、請求の範囲5を直接引用する請求の範囲6、7、8、9、10、11、12には、請求の範囲5に記載の事項以外に共通の事項は存在しない。

したがって、請求の範囲1-14は単一性の要件を満たしておらず、以下の9群の発明群を含んでいる。

- 第1群：請求の範囲1-3
- 第2群：請求の範囲4
- 第3群：請求の範囲5、6
- 第4群：請求の範囲7
- 第5群：請求の範囲8
- 第6群：請求の範囲9
- 第7群：請求の範囲10
- 第8群：請求の範囲11
- 第9群：請求の範囲12-14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.